

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-139944

(43)Date of publication of application : 27.05.1997

(51)Int.Cl.

H04N 7/30  
H03N 7/30  
H04N 1/41  
H04N 11/04

(21)Application number : 08-242035

(22)Date of filing : 12.09.1996

(71)Applicant :

MATSUSHITA ELECTRIC IND CO LTD

(72)Inventor :

TANIGUCHI SHUHEI

AOKI NORIO

UEHARA HIROTOSHI

GOTO SHOICHI

(30)Priority

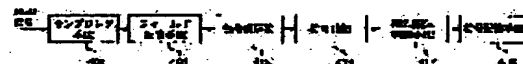
Priority number : 07233706    Priority date : 12.09.1995    Priority country : JP  
07233704    12.09.1995    JP

## (54) CODING METHOD, CODER, WAVELET CONVERTER AND WAVELET INVERSE CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an efficient coding method with a few memory capacity by storing 1st and 2nd code strings with hierarchy, based on priority given to the hierarchy.

SOLUTION: RGB signals of an original image are given to a sampling means 400, in which the signals are sampled and stored in a field storage means 401. Then a color separate means 412 converts the stored signal into a YUV color signal and a coding section 413 applies wavelet conversion, quantization and variable length coding to the signals for each color component so as to generate 1st and 2nd code strings with hierarchy. Then the 1st and 2nd code strings are stored respectively to one and other sides of a memory area of a coding storage means 418 according to priority discriminated by a priority discrimination means 417. Thus, up to codes with lower priority are effectively packed in the code storage means 418 whose capacity is limited, the memory utilizing efficiency is improved in this coding method.



7

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-139944

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
H 0 3 M 7/30		9382-5K	H 0 3 M 7/30	A
H 0 4 N 1/41			H 0 4 N 1/41	B
11/04		9185-5C	11/04	Z

審査請求 未請求 請求項の数25 O L (全 54 頁)

(21)出願番号	特願平8-242035	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成8年(1996)9月12日	(72)発明者	谷口 周平 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平7-233706	(72)発明者	青木 則夫 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平7(1995)9月12日	(72)発明者	上原 宏敏 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33)優先権主張国	日本 (J P)	(74)代理人	弁理士 早瀬 憲一
(31)優先権主張番号	特願平7-233704		
(32)優先日	平7(1995)9月12日		
(33)優先権主張国	日本 (J P)		

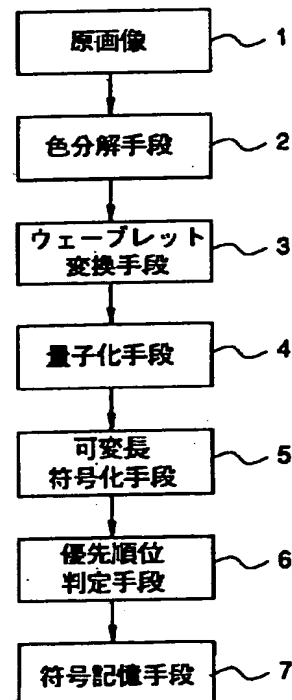
最終頁に続く

(54)【発明の名称】 符号化方法、符号化装置、ウェーブレット変換装置およびウェーブレット逆変換装置

(57)【要約】

【課題】 階層符号化方法において符号を階層単位に2つに分割し、一方の符号を前から、他方を後ろから格納し、中央で重複する部分は低位の階層の符号を優先する。また中央に空いた間隔を詰める。生成した符号量に合わせてサンプリングレートを変動し、サンプリングレートに合わせたレートで再生する。

【解決手段】 原画像1の色成分毎にウェーブレット変換手段3、量子化手段4、可変長符号化手段5を施して符号化し、階層優先判定6で判定する優先順位に従って符号記憶手段7に符号を格納する。



## 【特許請求の範囲】

【請求項1】 符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する第1および第2の符号列を生成する階層符号化ステップと、

該階層符号化ステップにより生成した第1および第2の符号列を、前記階層に与えられた優先順位に基づいて、連続してアドレスが付された記憶手段のメモリ領域の一方および他方からそれぞれ格納する格納制御を行う記憶ステップと、

該記憶ステップの格納制御を実行する過程で格納すべきメモリ領域に重複が生じた場合、該時点で高い優先順位を有する側の符号列の階層を、他方の符号列に優先して格納する優先判定ステップとを含むことを特徴とする符号化方法。

【請求項2】 請求項1記載の符号化方法において、前記記憶ステップは前記記憶手段に対し先に前記第1の符号列を格納し、次に前記第2の符号列を格納するものであり、

前記優先判定ステップは前記第2の符号列の階層より前記優先順位の低い前記第1の符号列の階層を判定するとともに、前記第2の符号列を格納するメモリ領域が不足する場合、当該判定した第1の符号列の階層を第2の符号列の階層により上書きすることを特徴とする符号化方法。

【請求項3】 符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する2つ以上の符号列を生成する階層符号化ステップと、

前記生成した各々の符号列の最も優先順位の高い階層を記憶手段に格納するとともにそれ以外の階層を一時記憶手段に格納するように制御する記憶制御ステップと、前記記憶手段に空きメモリ領域が存在する場合、前記一時記憶手段よりそれぞれの符号列の階層をその優先順位に基づいて前記記憶手段に転送する転送判定ステップとを含むことを特徴とする符号化方法。

【請求項4】 請求項1ないし3のいずれかに記載の符号化方法において、

前記記憶手段の連続するメモリ領域から予め定めた大きさのメモリ領域を割り当てる領域管理ステップと、

前記割り当てたメモリ領域に複数の前記符号列を格納する前記記憶ステップと、

前記格納した複数の符号列の間に生じた空きメモリ領域を、当該いずれか一方の符号列を転送することで詰める転送ステップと、

前記割り当てたメモリ領域で格納に使用しなかったメモリ領域を回収するステップとを含むことを特徴とする符号化方法。

【請求項5】 映像信号のフィールドを指定する時間間隔でサンプリングするサンプリングステップと、

該サンプリングステップによりサンプリングされた映像信号データに対し請求項3または4記載の符号化方法に

より階層符号化を行う階層符号化ステップと、

該階層符号化ステップにより使用したメモリ量を算出するメモリ量算出ステップと、

該メモリ量算出ステップにより算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げステップと、

前記メモリ量算出ステップにより算出したメモリ量に比例したフィールド間隔を算出するフィールド間隔算出ステップと、

10 該フィールド間隔算出ステップにより算出したフィールド間隔を前記サンプリングステップに対し指定するステップとを含むことを特徴とする符号化方法。

【請求項6】 請求項5記載の符号化方法において、前記切り上げステップで切り上げを行ったことを検出する切り上げ検出ステップと、

該切り上げ検出ステップにより切上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう調整ステップとを含むことを特徴とする符号化方法。

【請求項7】 符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する第1および第2の符号列を生成する階層符号化手段と、

該階層符号化手段により生成した第1および第2の符号列を、前記階層に与えられた優先順位に基づいて、連続してアドレスが付された記憶手段のメモリ領域の一方および他方からそれぞれ格納する格納制御を行う記憶制御手段と、

30 該記憶制御手段の格納制御を実行する過程で格納すべきメモリ領域に重複が生じた場合、該時点で高い優先順位を有する側の符号列の階層を、他方の符号列に優先して格納する優先判定手段とを備えたことを特徴とする符号化装置。

【請求項8】 請求項7記載の符号化装置において、前記記憶制御手段は前記記憶手段に対し先に前記第1の符号列を格納し、次に前記第2の符号列を格納するものであり、

前記優先判定手段は前記第2の符号列の階層より前記優先順位の低い前記第1の符号列の階層を判定するとともに、前記第2の符号列を格納するメモリ領域が不足する場合、当該判定した第1の符号列の階層を第2の符号列の階層により上書きするものであることを特徴とする符号化装置。

【請求項9】 符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する2つ以上の符号列を生成する階層符号化手段と、

前記生成した各々の符号列の最も優先順位の高い階層を記憶手段に格納するとともにそれ以外の階層を一時記憶手段に格納するように制御する記憶制御手段と、

40 前記記憶手段に空きメモリ領域が存在する場合、前記一時記憶手段よりそれぞれの符号列の階層をその優先順位に基づいて前記記憶手段に転送する転送判定手段とを備

えたことを特徴とする符号化装置。

【請求項10】 請求項7ないし9のいずれかに記載の符号化装置において、

前記記憶手段の連続するメモリ領域から予め定めた大きさのメモリ領域を割り当てる領域管理手段と、

前記格納した複数の符号列の間に生じた空きメモリ領域を、当該いずれか一方の符号列を転送することで詰める転送手段と、

前記割り当てたメモリ領域で格納に使用しなかったメモリ領域を回収する領域回収手段とを備え、

前記記憶制御手段は、前記割り当てたメモリ領域に複数の前記符号列を格納することを特徴とする符号化装置。

【請求項11】 映像信号のフィールドを指定する時間間隔でサンプリングするサンプリング手段と、

該サンプリング手段によりサンプリングされた映像信号データに対し請求項9または10記載の符号化装置と同じ動作により階層符号化を行う階層符号化手段と、

該階層符号化手段により使用したメモリ量を算出するメモリ量算出手段と、

該メモリ量算出手段により算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げ手段と、

前記メモリ量算出手段により算出したメモリ量に比例したフィールド間隔を算出するフィールド間隔算出手段と、

該フィールド間隔算出手段により算出したフィールド間隔を前記サンプリング手段に対し指定するフィールド間隔指定手段とを備えたことを特徴とする符号化装置。

【請求項12】 請求項11記載の符号化装置において、

前記切り上げ手段で切り上げを行ったことを検出する切り上げ検出手段と、

該切り上げ検出手段により切上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう符号化調整手段とを備えたことを特徴とする符号化装置。

【請求項13】 入力データを2画素毎順番にシフトし少なくとも2画素分のデータを蓄積するシフトレジスタ手段と、

前記シフトレジスタ手段の低周波成分を取り出して出力するローパスフィルタ手段と、

前記シフトレジスタ手段の高周波成分を取り出して出力するハイパスフィルタ手段と、

前記ローパスフィルタ手段と前記ハイパスフィルタ手段の出力値である係数データを蓄積するためのデータ記憶手段と、

ウェーブレット変換のためのシーケンス制御を行なう主制御手段とを備え、

該主制御手段は、前記データ記憶手段内のデータを前記シフトレジスタ手段で1/2のサブサンプルを行ない、

前記ローパスフィルタ手段と前記ハイパスフィルタ手段

を用いて周波数分割した係数データを前記データ記憶手段に蓄積する処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データの周波数分割を行うことを特徴とするウェーブレット変換装置。

【請求項14】 請求項13記載のウェーブレット変換装置において、

前記ローパスフィルタ手段の出力値である低域係数データと前記ハイパスフィルタ手段の出力値である高域係数データをそれぞれ格納するための、高速バースト転送が可能な係数ラインメモリと、

該係数ラインメモリの出力データを、ライン単位で前記データ記憶手段に転送するとともに前記データ記憶手段内のデータを前記シフトレジスタ手段に転送するダイレクトメモリアクセス手段とを備え、

前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、該ダイレクトメモリアクセス手段が、前記データ記憶手段内のデータを前記シフトレジスタ手段で1/2のサブサンプルを行ない、前記ローパスフィルタ手段と前記ハイパスフィルタ手段を用いて周波数分割した係数データを前記データ記憶手段に蓄積する処理を行うとともに、該処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データの周波数分割を行うことを特徴とするウェーブレット変換装置。

【請求項15】 請求項14記載のウェーブレット変換装置において、

メモリアレイ上の水平方向と垂直方向のデータの高速バースト転送が可能な係数記憶手段と、

30 前記係数ラインメモリのデータ転送先を前記データ記憶手段と前記係数記憶手段のなかから選択する切替え手段とを備え、

前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発するとともに、入力データを周波数分割した低域または高域係数データの一方を、前記係数ラインメモリに保持し、もう一方を前記ダイレクトメモリアクセス手段により前記係数記憶手段に直接バースト転送した後、前記係数ラインメモリに保持した係数データを前記係数記憶手段に転送する処理を行うとともに、

40 該処理を、周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し行なうことにより、前記入力データの周波数分割することを特徴とするウェーブレット変換装置。

【請求項16】 請求項15記載のウェーブレット変換装置において、

前記ローパスフィルタ手段と前記ハイパスフィルタ手段に入力するデータを、前記データ記憶手段と前記係数記憶手段から選択する選択手段を備え、

前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、前記係数記憶手段の水平また

は垂直方向の係数データを周波数分割し、得た係数データをそれぞれ前記係数ラインメモリに転送した後、前記ダイレクトメモリアクセス手段は、前記係数ラインメモリに格納してある係数データを順番に前記係数記憶手段にバースト転送することを特徴とするウェーブレット変換装置。

【請求項17】 請求項13ないし16のいずれかに記載のウェーブレット変換装置において、前記ローパスフィルタ手段および前記ハイパスフィルタ手段は、SSKF(Symmetric Short Kernel Filter)により実現されていることを特徴とするウェーブレット変換装置。

【請求項18】 請求項13ないし17のいずれかに記載のウェーブレット変換装置において、前記ローパスフィルタ手段と前記ハイパスフィルタ手段の入力データに対し1ビットの上位拡張ビットを設ける符号拡張手段を備え、前記ローパスフィルタ手段と前記ハイパスフィルタ手段はその入力データに比べて精度を上位に1ビット拡張してフィルタ演算することを特徴とするウェーブレット変換装置。

【請求項19】 入力データを2画素毎順番にシフトし少なくとも2画素分のデータを蓄積するシフトレジスタ手段と、前記シフトレジスタ手段の出力データを復号化して奇数番目の復号係数データを出力する第1の復号フィルタ手段と、前記シフトレジスタ手段の出力データを復号化して偶数番目の復号係数データを出力する第2の復号フィルタ手段と、前記第1の復号フィルタ手段と前記第2の復号フィルタ手段の出力値である復号係数データを蓄積するためのデータ記憶手段と、ウェーブレット逆変換のためのシーケンス制御を行なう主制御手段とを備え、該主制御手段は、前記データ記憶手段内のデータを前記シフトレジスタ手段でバッファし、前記復号フィルタ手段を用いて復号化しアップサンプルした係数データを前記データ記憶手段に蓄積する処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行わしめることにより、前記入力データのウェーブレット逆変換を行うことを特徴とするウェーブレット逆変換装置。

【請求項20】 請求項19記載のウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段の出力である復号係数データを格納するための、高速バースト転送が可能な係数ラインメモリと、該係数ラインメモリの出力データを、ライン単位で前記データ記憶手段に転送するとともに前記データ記憶手段

内のデータを前記シフトレジスタ手段に転送するダイレクトメモリアクセス手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、該ダイレクトメモリアクセス手段が、前記データ記憶手段内のデータを前記シフトレジスタ手段でバッファを行ない、前記復号フィルタ手段を用いて復号しアップサンプルした係数データを前記データ記憶手段に蓄積する処理を行うとともに、該処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データのウェーブレット逆変換を行うことを特徴とするウェーブレット逆変換装置。

【請求項21】 請求項20記載のウェーブレット逆変換装置において、

メモリアレイ上の水平方向と垂直方向のデータの高速バースト転送が可能な係数記憶手段と、前記係数ラインメモリのデータ転送先を前記データ記憶手段と前記係数記憶手段のなかから選択する切替え手段とを備え、

前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発するとともに、入力データを復号した奇数番目または偶数番目の復号係数データの一方を、前記係数ラインメモリに保持し、もう一方を前記ダイレクトメモリアクセス手段により前記係数記憶手段に直接バースト転送した後、前記係数ラインメモリに保持した係数データを前記係数記憶手段に転送する処理を行うとともに、該処理を、周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し行なうことにより、前記入力データのウェーブレット逆変換を行うことを特徴とするウェーブレット逆変換装置。

【請求項22】 請求項21記載のウェーブレット逆変換装置において、

前記第1および第2の復号フィルタ手段に入力するデータを、前記データ記憶手段と前記係数記憶手段から選択する選択手段を備え、

前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、前記係数記憶手段の水平または垂直方向の係数データを復号し、得た復号データをそれぞれ前記係数ラインメモリに転送した後、前記ダイレクトメモリアクセス手段は、前記係数ラインメモリに格納してある復号データを順番に前記係数記憶手段にバースト転送することを特徴とするウェーブレット変換装置。

【請求項23】 請求項19ないし22のいずれかに記載のウェーブレット逆変換装置において、

前記第1および第2の復号フィルタ手段の入力データは、前記係数記憶手段に記憶されたウェーブレット逆変換すべき入力データに対して上位に1ビット拡張したデータであることを特徴とするウェーブレット逆変換装置。

【請求項24】 請求項14記載のウェーブレット変換装置において、

ウェーブレット変換されたデータを復号化する復号フィルタ手段と、

該復号フィルタ手段によって復号された復号係数データを記憶する復号係数ラインメモリとを備え、

前記データ記憶手段の低域または高域係数データの一方を前記復号係数ラインメモリに転送しておき、

前記係数データのもう一方を前記復号フィルタへ転送すると同時に、前記復号係数ラインメモリに保持した係数

データを前記復号フィルタに転送して復号し、復号データを前記係数ラインメモリに格納して、ライン単位の復

号処理が終了後、前記係数ラインメモリに保持した復号データを、前記係数記憶手段または前記データ記憶手段

に転送する処理を、前記主制御手段が周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰

り返し復号処理することとを特徴とするウェーブレット変換装置。

【請求項25】 請求項15ないし18のいずれかに記載のウェーブレット変換装置において、

ウェーブレット変換されたデータを復号化する復号フィルタ手段と、

復号係数ラインメモリとを備え、

前記係数記憶手段の低域または高域係数データの一方を前記復号係数ラインメモリに転送しておき、

前記係数データのもう一方を前記復号フィルタへ転送すると同時に、前記復号係数ラインメモリに保持した係数

データを前記復号フィルタに転送して復号し、復号データを前記係数ラインメモリに格納して、ライン単位の復

号処理が終了後、前記係数ラインメモリに保持した復号データを、前記データ記憶手段に転送する処理を、前記

主制御手段が周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰返し復号処理すること

とを特徴とするウェーブレット変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静止画や映像信号を高効率で符号化できる符号化方法および符号化装置に関し、特にその符号量の制御を容易とし、符号化を実行するのに用いるハードウェアを削減できるようにしたものに

【0002】また、本発明は、上述の符号化方法や符号化装置において適用され、画像や音声のデジタルデータの

高能率符号化を行うウェーブレット変換装置およびウェーブレット逆変換装置に関し、特にその高速化および省

ハード化を実現できるようにしたものである。

【0003】

【従来の技術】一般に画像信号は情報量が非常に大きい

ため、記録または伝送するに際して情報量を圧縮する手

段がとられている。

【0004】静止画や映像信号の高能率符号化の技術として、DCT(Discrete Cosine Transformation)をベースとしたJPEG(“ISO/IEC CD 10918-1 Digital Compression and Coding of Continuous-tone Still Images, Part 1: Requirements and guidelines”を参照)やMPEG(“ISO/IEC 11172-2:1993 Information technology - Coding of moving pictures and associated audio for digital storage media at up to about 1.5M bit/s - Part 2 Video”を参照)が広く利用されており、最近では信号を繰り返し帯域分割して、符号化するサブバンド符号化が実用化に向けて提案、検討されている。

【0005】これら符号化方法はハフマンコードに代表される可変長符号化を用いる場合がほとんどで、一般に一画像や単位時間あたりの符号量は一定とはならない。

【0006】またこれら符号化方式を用いた符号は、磁気メディアを利用した外部記憶装置に蓄積したり、様々な通信回線を利用して伝送したりされており、符号量を一定以下に制御する必要がある場合がほとんどである。

【0007】例えばMPEGでは、生成した符号量に応じて量子化因子を動的に変更して時間あたりの平均符号量を制御する方式が実用化されている。

【0008】また、一般的にJPEGと呼ばれる符号化方式(JPEGのbaseline方式)では、符号化前に決めるQuantization tableとHuffman tableで画像毎の符号量を決定する。

【0009】さらにJPEGには階層符号化方式として、DCT係数のProgressive CodingやHierarchical Progressionが規定されている。これらの方式を用いるとbaseline方式とはほぼ同じ符号量で再生時の画質を同じに保ちながら、階層再生が可能な符号を得ることができる。

【0010】また、サブバンド符号化においては低周波成分から順に符号を生成することによって階層再生可能な符号列を得ることができる。

【0011】この従来のサブバンド符号化方式を図46を用いて説明する。図において、201は水平方向のハイパスフィルタ(以下、HPFと記す)、202は水平方向のローパスフィルタ(以下、LPFと記す)、203、204は水平方向に1/2に間引くダウンサンプルフィルタ(以下、DSFと記す)、205、207は垂直方向のHPF、206、208は垂直方向のLPF、209、210、211、212は垂直方向に1/2に間引くDSF、213は入力信号を選択する選択手段、214は量子化手段、215は可変長符号化手段(以下、VLCと記す)である。

【0012】次に、その動作について説明する。原画像を入力ノード200より入力して、HPF201、LPF202によりその水平方向の高域成分、低域成分をそ

れぞれ抽出し、これをDSF203、204により1/2の間引きを行なう。そしてさらに、このDSF203により間引かれた信号をHPF205、LPF206によりその垂直方向の高域成分、低域成分をそれぞれ抽出し、これをDSF209、210により1/2の間引きを行なう。また、DSF204により間引かれた信号をHPF207、LPF208によりその垂直方向の高域成分、低域成分をそれぞれ抽出し、これをDSF211、212により1/2の間引きを行なうことにより、4つのサブバンドHH、HL、LH、LLを生成する。

【0013】ここでサブバンドを表す記号はHPF、LPFを施した順にフィルタの頭文字を左から並べたものである（以下、同様の記法を行なう。例えばLHは最初に水平方向のLPFを施し1/2の間引きを行った後、垂直方向のHPFを施し1/2の間引きを行なうことによって得られるサブバンドを表す）。これら4つのサブバンドHH、HL、LH、LLはそれぞれ垂直・水平方向の1/2間引きを行なっているため、原画像に比べてその画素数が1/4になっており、これらを合わせると、原画像の大きさに等しくなる。選択手段213はL、L、LH、HL、HHの順にDSF212、211、210、209が出力するサブバンドを出力し、量子化手段214はサブバンド毎にサブバンドに応じた量子化因子でこれを量子化し、VLC215はその量子化したサブバンド毎にそれぞれを可変長符号化してノード216より出力する。

【0014】前記量子化では高い周波数ほど大きな量子化を行なうのが一般的である。このためVLC215で生成する可変長符号はLL成分がもっとも多く、HH成分が少なくなる傾向にある。

【0015】そして、このサブバンドLLは原画像を垂直・水平方向にLPFを施し、1/2間引きを行なったものであるから原画像の縮小画となる。

【0016】上記で説明したサブバンド方式で符号化した画像に対し復号化を施す場合、まず、LL成分の符号のみが存在し、LH、HL、HH成分の係数は全て0とみなして上記サブバンド符号化した画像の復号化を行なう。次にLL、LH成分の符号のみで、HL、HH成分の係数を全て0とみなして上記サブバンド符号化した画像の復号化を行なう。以下、この操作を繰り返すことによって、サブバンド符号化においては階層的再生が可能となる。

【0017】ところで、このサブバンド符号化方式はウェーブレット変換と呼ばれるものであり、上述のように、画像信号を低域と高域の2つの周波数帯域に分割し、さらに低域側の帯域を再帰的に周波数分割を行なうものである。これは、一般的に画像データはその低周波成分が多く、情報量を持っているという性質を利用している。

【0018】以下に、この従来のウェーブレット変換装

置について、図47、図48を参照して説明する。図47はウェーブレット変換における周波数分割を行なうためのブロック図であり、図48はウェーブレット変換後の画像信号の周波数分割例を示している。

【0019】図47は、図48に示すように一枚の画像データを10の帯域に周波数分割している。図47において、131、135、139、143、147、151、155、159、163は一次元のハイパスフィルタ（以下、HPFと言う）、132、136、140、144、148、152、156、160、164は一次元のローパスフィルタ（以下、LPFと言う）、133、137、141、145、149、153、157、161、165および134、138、142、146、150、154、158、162、166はそれぞれ上記LPFおよび上記HPFにより周波数分割した信号を2:1に間引くサブサンブラである。

【0020】次に動作について説明する。まず、入力画像I1の水平ラインデータL1をHPF131とLPF132により周波数分割し、さらにサブサンブラ133と134により高周波成分L1'と低周波成分L1''に帯域分割する。同様の処理を入力画像I1全体に施すことで、高周波成分の帯域データI2と低周波成分の帯域データI3とに分割する。

【0021】次に帯域データI2の垂直ラインデータをHPF135とLPF136により周波数分割し、さらにサブサンブラ137と138により高周波成分HH(F1)と低周波成分HL(F2)とに帯域分割する。同様の処理を入力画像I3に施すことで、これを帯域分割して高周波成分LH(F3)と低周波成分のLL(F4)を生成する。

【0022】次に、この帯域データLL(=I4)について同様に、水平方向、垂直方向に帯域分割することにより、帯域データI5の高周波成分LLHH(F4)と低周波成分LLHL(F5)および帯域データI6の高周波成分LLLH(F6)と低周波成分LLLLL(=I10)を生成する。

【0023】以下、この帯域データLLLL(=I7)に対して同様の処理を行うことにより、帯域データI8の高周波成分LLLLHH(F7)と低周波成分LLLLHL(F8)および帯域データI9の高周波成分LLLLLH(F9)と低周波成分LLLLLLL(=I10)を生成する。

【0024】この一連の帯域分割処理により、入力画像は図48に示すように10帯域の周波数分割したデータに変換することができ、ウェーブレット変換を行なうことができる。

【0025】このウェーブレット変換装置は、図46の装置において得られた4つのサブバンドHH、HL、LH、LLのうち、LL成分をさらに周波数分割して10のサブバンドに帯域分割するようにしたものである。

## 【0026】

【発明が解決しようとする課題】従来の符号化方法は以上のように構成されているが、MPEGで用いられている量子化因子の動的変更は実時間符号化を行なう場合、複雑な手順を踏まなければならない。また単位時間あたりの符号量を一定とする場合の単位時間が短くなれば符号量制御は難しくなる。

【0027】また、JPEGの Progressive Coding では予め全てのブロックをDCTにより変換する必要があり、また Hierarchical Progression を用いると、低解像度画像を保持する一時記憶メモリやDSFが必要であり、DCT演算回数も増加する。

【0028】さらに、一般にカラー画像はこれを複数の色成分に分け、それぞれの色成分毎に符号化を行なっている。このため、階層再生を可能とするためには複数の色成分の符号化を同時に行なうか、色毎に生成した符号を並べ変える必要があるので、相応のメモリが必要となる。

【0029】この発明は、上記のような従来のものの問題点を解決するためになされたもので、少ないメモリ量にて効率よく符号化を行うことが可能な符号化方法および符号化装置を提供することを目的とする。

【0030】また、従来の符号化方法および符号化装置に適用されるウェーブレット変換装置は上述のように構成されているが、これはその基本方式通りに実現されているために、以下に述べるような2つの問題点があった。

【0031】その一つはHPF、LPFを用いて帯域分割処理を行ない、この周波数分割した後の変換データを保持するための処理において、11～110までのデータ量が互いに異なるため、装置全体をハードウェア化するとシーケンス制御が複雑になり、かつハードウェア規模が大きくなる、というものである。

【0032】もう一つはウェーブレット変換したF1～F9と110のデータを、図48のような1枚の画像変換データにするために要する処理速度の問題である。実時間でウェーブレット変換を行なう場合、F1～F9といったバラバラに存在する帯域分割データを転送することは、大きな制約となる、というものである。

【0033】また、これらの問題点から類推されるように、ウェーブレット逆変換に関しても同様の問題が存在する。

【0034】本発明は上記のような問題点を解決するためになされたもので、ウェーブレット変換を実現するためのハードウェアの規模、および変換速度の問題を解決できるウェーブレット変換装置およびウェーブレット逆変換装置を提供することを目的とする。

## 【0035】

【課題を解決するための手段】この発明の請求項1の符号化方法は、符号化すべきデータに対し階層符号化を行

ない、それぞれ階層を有する第1および第2の符号列を生成する階層符号化ステップと、該階層符号化ステップにより生成した第1および第2の符号列を、前記階層に与えられた優先順位に基づいて、連続してアドレスが付された記憶手段のメモリ領域の一方および他方からそれぞれ格納する格納制御を行う記憶ステップと、該記憶ステップの格納制御を実行する過程で格納すべきメモリ領域に重複が生じた場合、該時点で高い優先順位を有する側の符号列の階層を、他方の符号列に優先して格納する優先判定ステップとを含むようにしたものである。

【0036】また、この発明の請求項2の符号化方法は、請求項1の符号化方法において、前記記憶ステップは前記記憶手段に対し先に前記第1の符号列を格納し、次に前記第2の符号列を格納するものであり、前記優先判定ステップは前記第2の符号列の階層より前記優先順位の低い前記第1の符号列の階層を判定するとともに、前記第2の符号列を格納するメモリ領域が不足する場合、当該判定した第1の符号列の階層を第2の符号列の階層により上書きするようにしたものである。

【0037】また、この発明の請求項3の符号化方法は、符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する2つ以上の符号列を生成する階層符号化ステップと、前記生成した各々の符号列の最も優先順位の高い階層を記憶手段に格納するとともにそれ以外の階層を一時記憶手段に格納するように制御する記憶制御ステップと、前記記憶手段に空きメモリ領域が存在する場合、前記一時記憶手段よりそれぞれの符号列の階層をその優先順位に基づいて前記記憶手段に転送する転送判定ステップとを含むようにしたものである。

【0038】また、この発明の請求項4の符号化方法は、請求項1ないし3のいずれかの符号化方法において、前記記憶手段の連続するメモリ領域から予め定めた大きさのメモリ領域を割り当てる領域管理ステップと、前記割り当てたメモリ領域に複数の前記符号列を格納する前記記憶ステップと、前記格納した複数の符号列の間に生じた空きメモリ領域を、当該いずれか一方の符号列を転送することで詰める転送ステップと、前記割り当てたメモリ領域で格納に使用しなかったメモリ領域を回収するステップとを含むようにしたものである。

【0039】また、この発明の請求項5の符号化方法は、映像信号のフィールドを指定する時間間隔でサンプリングするサンプリングステップと、該サンプリングステップによりサンプリングされた映像信号データに対し請求項3または4記載の符号化方法により階層符号化を行う階層符号化ステップと、該階層符号化ステップにより使用したメモリ量を算出するメモリ量算出ステップと、該メモリ量算出ステップにより算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げステップと、前記メモリ量算出ステップにより算出したメモリ量に比例したフィールド間隔を算出するフ



フィールド間隔算出ステップと、該フィールド間隔算出ステップにより算出したフィールド間隔を前記サンプリングステップに対し指定するステップとを含むようにしたものである。

【0040】また、この発明の請求項6の符号化方法は、請求項5の符号化方法において、前記切り上げステップで切り上げを行ったことを検出する切り上げ検出ステップと、該切り上げ検出ステップにより切上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう調整ステップとを含むようにしたものである。

【0041】また、この発明の請求項7の符号化装置は、符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する第1および第2の符号列を生成する階層符号化手段と、該階層符号化手段により生成した第1および第2の符号列を、前記階層に与えられた優先順位に基づいて、連続してアドレスが付された記憶手段のメモリ領域の一方および他方からそれぞれ格納する格納制御を行う記憶制御手段と、該記憶制御手段の格納制御を実行する過程で格納すべきメモリ領域に重複が生じた場合、該時点で高い優先順位を有する側の符号列の階層を、他方の符号列に優先して格納する優先判定手段とを備えるようにしたものである。

【0042】また、この発明の請求項8の符号化装置は、請求項7の符号化装置において、前記記憶制御手段は前記記憶手段に対し先に前記第1の符号列を格納し、次に前記第2の符号列を格納するものであり、前記優先判定手段は前記第2の符号列の階層より前記優先順位の低い前記第1の符号列の階層を判定するとともに、前記第2の符号列を格納するメモリ領域が不足する場合、当該判定した第1の符号列の階層を第2の符号列の階層により上書きするものとしたものである。

【0043】また、この発明の請求項9の符号化装置は、符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する2つ以上の符号列を生成する階層符号化手段と、前記生成した各々の符号列の最も優先順位の高い階層を記憶手段に格納するとともにそれ以外の階層を一時記憶手段に格納するよう制御する記憶制御手段と、前記記憶手段に空きメモリ領域が存在する場合、前記一時記憶手段よりそれぞれの符号列の階層をその優先順位に基づいて前記記憶手段に転送する転送判定手段とを備えるようにしたものである。

【0044】また、この発明の請求項10の符号化装置は、請求項7ないし9の符号化装置において、前記記憶手段の連続するメモリ領域から予め定めた大きさのメモリ領域を割り当てる領域管理手段と、前記格納した複数の符号列の間に生じた空きメモリ領域を、当該いずれか一方の符号列を転送することで詰める転送手段と、前記割り当てたメモリ領域で格納に使用しなかったメモリ領域を回収する領域回収手段とを備え、前記記憶制御手段

は、前記割り当てたメモリ領域に複数の前記符号列を格納するものとしたものである。

【0045】また、この発明の請求項11の符号化装置は、映像信号のフィールドを指定する時間間隔でサンプリングするサンプリング手段と、該サンプリング手段によりサンプリングされた映像信号データに対し請求項9または10記載の符号化装置と同じ動作により階層符号化を行う階層符号化手段と、該階層符号化手段により使用したメモリ量を算出するメモリ量算出手段と、該メモリ量算出手段により算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げ手段と、前記メモリ量算出手段により算出したメモリ量に比例したフィールド間隔を算出するフィールド間隔算出手段と、該フィールド間隔算出手段により算出したフィールド間隔を前記サンプリング手段に対し指定するフィールド間隔指定手段とを備えるようにしたものである。

【0046】また、この発明の請求項12の符号化装置は、請求項11の符号化装置において、前記切り上げ手段で切り上げを行ったことを検出する切り上げ検出手段と、該切り上げ検出手段により切上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう符号化調整手段とを備えるようにしたものである。

【0047】また、この発明の請求項13のウェーブレット変換装置は、入力データを2画素毎順番にシフトし少なくとも2画素分のデータを蓄積するシフトレジスタ手段と、前記シフトレジスタ手段の低周波成分を取り出して出力するローパスフィルタ手段と、前記シフトレジスタ手段の高周波成分を取り出して出力するハイパスフィルタ手段と、前記ローパスフィルタ手段と前記ハイパスフィルタ手段の出力値である係数データを蓄積するためのデータ記憶手段と、ウェーブレット変換のためのシーケンス制御を行なう主制御手段とを備え、該主制御手段は、前記データ記憶手段内のデータを前記シフトレジスタ手段で1/2のサブサンプルを行ない、前記ローパスフィルタ手段と前記ハイパスフィルタ手段を用いて周波数分割した係数データを前記データ記憶手段に蓄積する処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行わしめることにより、前記入力データの周波数分割を行うようにしたものである。

【0048】また、この発明の請求項14のウェーブレット変換装置は、請求項13のウェーブレット変換装置において、前記ローパスフィルタ手段の出力値である低域係数データと前記ハイパスフィルタ手段の出力値である高域係数データをそれぞれ格納するための、高速バースト転送が可能な係数ラインメモリと、該係数ラインメモリの出力データを、ライン単位で前記データ記憶手段に転送するとともに前記データ記憶手段内のデータを前記シフトレジスタ手段に転送するダイレクトメモリアクセス手段とを備え、前記主制御手段は、前記ダイレクト

メモリアクセス手段に対して制御命令を発し、該ダイレクトメモリアクセス手段が、前記データ記憶手段内のデータを前記シフトレジスタ手段で1/2のサブサンプルを行ない、前記ローパスフィルタ手段と前記ハイパスフィルタ手段を用いて周波数分割した係数データを前記データ記憶手段に蓄積する処理を行うとともに、該処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データの周波数分割を行うようにしたものである。

【0049】また、この発明の請求項15のウェーブレット変換装置は、請求項14のウェーブレット変換装置において、メモリアレイ上の水平方向と垂直方向のデータの高速バースト転送が可能な係数記憶手段と、前記係数ラインメモリのデータ転送先を前記データ記憶手段と前記係数記憶手段のなかから選択する切替え手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発するとともに、入力データを周波数分割した低域または高域係数データの一方を、前記係数ラインメモリに保持し、もう一方を前記ダイレクトメモリアクセス手段により前記係数記憶手段に直接バースト転送した後、前記係数ラインメモリに保持した係数データを前記係数記憶手段に転送する処理を行うとともに、該処理を、周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し行なうことにより、前記入力データの周波数分割するようにしたものである。

【0050】また、この発明の請求項16のウェーブレット変換装置は、請求項15のウェーブレット変換装置において、前記ローパスフィルタ手段と前記ハイパスフィルタ手段に入力するデータを、前記データ記憶手段と前記係数記憶手段から選択する選択手段を備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、前記係数記憶手段の水平または垂直方向の係数データを周波数分割し、得た係数データをそれぞれ前記係数ラインメモリに転送した後、前記ダイレクトメモリアクセス手段は、前記係数ラインメモリに格納してある係数データを順番に前記係数記憶手段にバースト転送するようにしたものである。

【0051】また、この発明の請求項17のウェーブレット変換装置は、請求項13ないし16のいずれかのウェーブレット変換装置において、前記ローパスフィルタ手段および前記ハイパスフィルタ手段は、SSKF (Symmetric Short Kernel Filter) により実現したものである。

【0052】また、この発明の請求項18のウェーブレット変換装置は、請求項13ないし17のいずれかのウェーブレット変換装置において、前記ローパスフィルタ手段と前記ハイパスフィルタ手段の入力データに対し1ビットの上位拡張ビットを設ける符号拡張手段を備え、前記ローパスフィルタ手段と前記ハイパスフィルタ手段

はその入力データに比べて精度を上位に1ビット拡張してフィルタ演算するようにしたものである。

【0053】また、この発明の請求項19のウェーブレット逆変換装置は、入力データを2画素毎順番にシフトし少なくとも2画素分のデータを蓄積するシフトレジスタ手段と、前記シフトレジスタ手段の出力データを復号化して奇数番目の復号係数データを出力する第1の復号フィルタ手段と、前記シフトレジスタ手段の出力データを復号化して偶数番目の復号係数データを出力する第2の復号フィルタ手段と、前記第1の復号フィルタ手段と前記第2の復号フィルタ手段の出力値である復号係数データを蓄積するためのデータ記憶手段と、ウェーブレット逆変換のためのシーケンス制御を行なう主制御手段とを備え、該主制御手段は、前記データ記憶手段内のデータを前記シフトレジスタ手段でバッファし、前記復号フィルタ手段を用いて復号化しアップサンプルした係数データを前記データ記憶手段に蓄積する処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行わしめることにより、前記入力データのウェーブレット逆変換を行うようにしたものである。

【0054】また、この発明の請求項20のウェーブレット逆変換装置は、請求項19のウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段の出力である復号係数データを格納するための、高速バースト転送が可能な係数ラインメモリと、該係数ラインメモリの出力データを、ライン単位で前記データ記憶手段に転送するとともに前記データ記憶手段内のデータを前記シフトレジスタ手段に転送するダイレクトメモリアクセス手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、該ダイレクトメモリアクセス手段が、前記データ記憶手段内のデータを前記シフトレジスタ手段でバッファを行ない、前記復号フィルタ手段を用いて復号しアップサンプルした係数データを前記データ記憶手段に蓄積する処理を行うとともに、該処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データのウェーブレット逆変換を行うようにしたものである。

【0055】また、この発明の請求項21のウェーブレット逆変換装置は、請求項20のウェーブレット逆変換装置において、メモリアレイ上の水平方向と垂直方向のデータの高速バースト転送が可能な係数記憶手段と、前記係数ラインメモリのデータ転送先を前記データ記憶手段と前記係数記憶手段のなかから選択する切替え手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発するとともに、入力データを復号した奇数番目または偶数番目の復号係数データの一方を、前記係数ラインメモリに保持し、もう一方を前記ダイレクトメモリアクセス手段により前記係数記憶手

段に直接バースト転送した後、前記係数ラインメモリに保持した係数データを前記係数記憶手段に転送する処理を行うとともに、該処理を、周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し行なうことにより、前記入力データのウェーブレット逆変換を行うようにしたものである。

【0056】また、この発明の請求項22のウェーブレット逆変換装置は、請求項21のウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段に入力するデータを、前記データ記憶手段と前記係数記憶手段から選択する選択手段を備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、前記係数記憶手段の水平または垂直方向の係数データを復号し、得た復号データをそれぞれ前記係数ラインメモリに転送した後、前記ダイレクトメモリアクセス手段は、前記係数ラインメモリに格納してある復号データを順番に前記係数記憶手段にバースト転送するようにしたものである。

【0057】また、この発明の請求項23のウェーブレット逆変換装置は、請求項19ないし22のいずれかのウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段の入力データは、前記係数記憶手段に記憶されたウェーブレット逆変換すべき入力データに対して上位に1ビット拡張したデータであるものとしたものである。

【0058】また、この発明の請求項24のウェーブレット逆変換装置は、請求項14記載のウェーブレット変換装置において、ウェーブレット変換されたデータを復号化する復号フィルタ手段と、該復号フィルタ手段によって復号された復号係数データを記憶する復号係数ラインメモリとを備え、前記データ記憶手段の低域または高域係数データ的一方を前記復号係数ラインメモリに転送しておき、前記係数データのもう一方を前記復号フィルタへ転送すると同時に、前記復号係数ラインメモリに保持した係数データを前記復号フィルタに転送して復号し、復号データを前記係数ラインメモリに格納して、ライン単位の復号処理が終了後、前記係数ラインメモリに保持した復号データを、前記係数記憶手段または前記データ記憶手段に転送する処理を、前記主制御手段が周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し復号処理するものとしたものである。

【0059】また、この発明の請求項25のウェーブレット逆変換装置は、請求項15ないし18のいずれかのウェーブレット変換装置において、ウェーブレット変換されたデータを復号化する復号フィルタ手段と、復号係数ラインメモリとを備え、前記係数記憶手段の低域または高域係数データ的一方を前記復号係数ラインメモリに転送しておき、前記係数データのもう一方を前記復号フィルタへ転送すると同時に、前記復号係数ラインメモリ

に保持した係数データを前記復号フィルタに転送して復号し、復号データを前記係数ラインメモリに格納して、ライン単位の復号処理が終了後、前記係数ラインメモリに保持した復号データを、前記データ記憶手段に転送する処理を、前記主制御手段が周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し復号処理するようにしたものである。

【0060】

【発明の実施の形態】

10 実施の形態1. 以下、本発明の実施の形態1を図1、図2、図3、図4、図5、図6を用いて説明する。図1は本発明の実施の形態1による符号化方法における、画像データの符号化処理の流れを表す図であり、図において、1は原画像、2はこれを色分解する色分解手段、3はその色分解した画像データをウェーブレット変換するウェーブレット変換手段、4はその変換データを量子化する量子化手段、5はその量子化したデータを可変長符号化する可変長符号化手段、6はその可変長符号を記憶する際の優先順位を判定する優先順位判定手段、7はその判定された優先順位に従って可変長符号を記憶する符号記憶手段である。

【0061】また、図2はサブバンド符号化方式において、Y符号化部、U符号化部、V符号化部の詳細および本発明の実施の形態1における優先順位判定手段が適用される箇所を示す図であり、図において、3は図1のウェーブレット変換手段3に相当するウェーブレット変換手段であり、HPF201、205、207、LPF202、206、208、DSF203、204、209、210、211、212から構成されている。214は図1の量子化手段4に相当する量子化手段、215は図1の可変長符号化手段に相当するVLCであり、この後段に図1の優先順位判定手段6が設けられる。

【0062】また、図3(a)、図3(b)は本発明の実施の形態1における優先順位判定手段、符号化手段の構成例を示す図であり、図3(a)において、101は可変長符号の優先順位を判定するCPU、102はこのCPU101によって判定された優先順位に従って、可変長符号が書き込まれるデータ記憶部、103はCPU101とデータ記憶部102とを結ぶCPUバスである。

40 【0063】また、図3(b)において、301は階層符号化を行い2つ、あるいはそれ以上の符号列を生成するCPU、302はこのCPU301によって生成された2つ、あるいはそれ以上の符号列が書き込まれるデータ記憶部、303はCPU301とデータ記憶部302とを結ぶCPUバスである。

50 【0064】また図4は本発明を装置として実現した場合の構成を示すブロック図であり、図において、400は原画像のRGB信号をサンプリングするサンプリング手段、401はこのサンプリング手段400によりサンプリングされたデータを記憶するフィールド記憶手段、

402はこのフィールド記憶手段401からのデータをYUV成分に色分解する色分解手段であり、2はこれらサンプリング手段400、フィールド記憶手段401および色分解手段402から構成された色分解手段であり、図1の色分解手段2がこれに相当する。

【0065】また、403、404、405はそれぞれ色分解手段2により出力されるY信号成分、U信号成分、V信号成分をウェーブレット変換しこれを量子化しさらに可変長符号化するY符号化部、U符号化部、V符号化部、406はこのU符号化部404およびV符号化部405の出力符号を合成してC成分の符号を生成するUV合成手段であり、これらY符号化部403、U符号化部404、V符号化部405およびUV合成手段406が図1のウェーブレット変換手段3、量子化手段4、可変長符号化手段5に相当する。

【0066】また、407は図1の優先順位判定手段6および図3(a)のCPU101に相当する優先順位判定手段、408は図1の符号記憶手段7に相当する符号記憶手段である。

【0067】図5は、本発明の実施の形態1による符号化方法の動作を示すフローチャートであり、図において、S1はYの現時点で最も優先度の高いサブバンドを符号化するステップ、S2は符号記憶手段に記憶できる容量が存在するか否かを判定するステップ、S3は符号化したサブバンドを符号記憶手段に結めるステップ、S4はCの現時点で最も優先度の高いサブバンドを符号化するステップ、S5は符号化したサブバンドを符号記憶手段に結めるステップ、S6は符号記憶手段に記憶できる容量が存在するか否かを判定するステップである。

【0068】さらに、図6は符号化が終了した時点での符号記憶手段の記憶領域の内容を表す図である。最初に図1についてその動作を説明する。原画像を表す画像データ1に対して、色分解手段2により色分解を施しこれを複数の色成分に分ける。そしてその色成分毎にウェーブレット変換手段3で複数の周波数成分の階層に分割し、各階層毎に量子化手段4で量子化を行ない、可変長符号化手段5で符号化して、色毎・階層毎の符号データを得る。この符号データを予め定めた優先順位にしたがって優先順位判定手段6で判定し符号記憶手段7に格納する。

【0069】図6はこの符号データの格納の状態を説明する図で、可変長符号化手段5で生成した符号データの総量が図4の記憶手段408の記憶領域に格納可能な量よりも多く、一部の階層がその記憶領域に収まらなかった場合を示している。以下、本発明の実施の形態1の詳細について説明する。

【0070】図4において、RGB要素からなる映像信号をサンプリング手段400で画素毎にサンプリングを行うとともにA/D変換を行ってフィールド記憶手段401に蓄積する。そして色分解手段402においてこの

フィールド記憶手段401に蓄積されたRGB信号をYUV信号に変換するが、その際、UV信号はそれぞれ水平方向に1/2間引きを行なう(4:2:2サブサンプリング)。例えば入力信号のサンプリングを320×240画素で行なうものとする、フィールド記憶手段401には320×240×3個のデータを蓄積することとなり、Y成分のデータは320×240個、UV成分はそれぞれ160×240個のデータとなる。

【0071】次にY成分に対してY符号化部403でウェーブレット変換・量子化・可変長符号化を行なう。Y符号化部403は図2のものと同様の構成とする。図2の構成と各部の動作は既に説明したので省略する。図2の入力ノード200から入力する原画像は320×240画素で、これにウェーブレット変換を施した後の各階層LL、LH、HL、HHの各サイズは160×120画素となり、これらにそれぞれ独立に量子化・可変長符号化を施して、図6に示す階層毎の符号Y-LL、Y-LH、Y-HL、Y-HHを得る。

【0072】U符号化部404、V符号化部405も図2と同様の構成とし、その説明の詳細は省略する。UVそれぞれにおいて、入力ノード200から入力する原画像は160×240画素で、ウェーブレット変換を施した後の各階層のサイズはそれぞれ80×120となり、これらにそれぞれ独立に量子化・可変長符号化を施す。UV合成手段406はU成分のLL階層の符号U-LLとV成分のLL階層の符号V-LLを合わせてC-LLを合成する、これを各階層毎に行ない色成分の符号C-LL、C-LH、C-HL、C-HHを合成する。

【0073】次に優先順位判定手段407の動作について説明する。この優先順位判定手段407は例えば図3(a)のように、CPU101、データ記憶部102、CPUバス103により構成されており、階層の優先順位はLL成分を最優先とし以下LH、HL、HHの順位とし、同じ階層ではC成分よりもY成分を優先するものとする。また説明のための例としてY-LL~C-HHの符号量を表1に示す通りとし、符号記憶手段408の記憶領域のサイズを11000バイトとする。

【0074】

【表1】

色・階層	サイズ
Y-LL	3500
Y-LH	2000
Y-HL	2000
Y-HH	1000
C-LL	2000
C-LH	1000
C-HL	1000
C-HH	500

【0075】まず、階層符号化手段としてのY符号化部403、U符号化部404、V符号化部405およびU

V合成手段406は階層符号化を行い、第1の符号列としてのY-LL, Y-LH, Y-HL, Y-HHおよび第2の符号列としてのC-LL, C-LH, C-HL, C-HHを生成する。

【0076】次に、記憶制御手段としての優先順位判定手段407はこのY-LL~C-HHの優先度を判定し、この第1および第2の符号列をその階層に与えられた優先順位に基づいて符号記憶手段408の一方および他方からそれぞれ格納する。即ち、これらの符号列のうちの優先順位のもっとも高いY-LL成分の符号を符号記憶手段408の記憶領域（以下、これを単に符号記憶手段408と称す）に、その先頭から詰める。なお、この記憶領域はリニアなアドレスが与えられているものとする。その際、優先順位判定手段407はこのY-LL成分の符号を詰めた符号記憶手段408の記憶領域の先頭アドレス、その記憶領域の大きさおよびその詰めた符号がY-LL成分である旨を示す情報を記憶する。

【0077】次に優先順位の高いC-LL成分の符号を符号記憶手段408の後尾から詰める。その際、優先順位判定手段407はこのC-LL成分の符号を詰めた符号記憶手段408の記憶領域の先頭アドレス、その大きさおよびその詰めた符号がC-LL成分である旨を示す情報を記憶する。

【0078】次に優先順位の高いY-LH成分の符号を符号記憶手段408のY-LL成分の次に詰める。その際、優先順位判定手段407は先に詰めたY-LL成分の記憶領域の後尾アドレスを計算することにより、Y-LH成分の符号を詰めた符号記憶手段408の記憶領域の先頭アドレスを得て、その先頭アドレスと、その記憶領域の大きさ、およびその詰めた符号がY-LH成分である旨を示す情報を記憶する。

【0079】以下それぞれの優先順位にしたがってC-LH, Y-HL, C-HL, Y-HH, C-HHの順に、Y成分は先頭から、C成分は末尾から順に詰めていく。そして、その際、優先順位判定手段407はそれぞれの記憶領域の先頭アドレスと、その記憶領域の大きさ、およびその詰めた符号がどの成分に該当するかを示す情報を記憶する。

【0080】図6に示す通りY-HLまで詰めた時点で符号記憶手段408の記憶領域は10500バイトを使用しており、次の1000バイトあるC-HLを詰めるだけの空き領域はないので、優先順位判定手段としての優先順位判定手段407は記憶制御手段の格納制御を実行する過程で格納すべきメモリ領域に重複が生じ、この時点で高い優先順位を有する側の符号列の階層（Y-HL）を、他方の階層（C-HL）に優先して格納するものと判定して、これ以降のC-HL, Y-HH, C-HHは符号記憶手段の408の記憶領域に記憶せずに捨ててしまう。

【0081】このように、C-HL, Y-HH, C-H

Hを棄却したとしても、これらの符号は高周波成分であって画像情報を多くを含むものではないので、画像の復号化を行うにあたって復元した画像の品質に及ぼす影響は少ない。

【0082】そして符号記憶手段408にその場所を指定して少しの記憶領域を空けておくことにより、優先順位判定手段407はそれまで記憶していた、Y-LL成分、Y-LH成分、Y-HL成分、C-LL成分、C-LH成分の記憶領域の先頭アドレスと、その記憶領域の大きさ、およびその詰めた符号がどの成分に該当するかを示す情報を転送する。

【0083】そして、復号の際には、これらの情報を参照することにより、優先度の高い符号から順次符号を取り出すことができ、これを順に復号することにより、元の画像データとほぼ同等の画像データを復元することができる。

【0084】このように、本実施の形態1によれば、RGBカラー画像をYUVカラー画像に変換しこれにウェーブレット変換、量子化、可変長符号化を施しYC成分に変換したものを記憶手段に記憶する際、符号量が多いY成分についてはその低周波成分の優先度を高くして記憶手段の先頭から順次詰めてゆき、C成分についてもその低周波成分の優先度を高くして記憶手段の後尾から順次詰めてゆき、記憶手段に記憶しきれない高周波成分についてはこれを棄却するようにしたので、画像の情報をあまり落とすことなく予め固定的に定めた記憶容量を有する記憶手段に効率よく格納することができ、復号化の際にその画質を殆ど犠牲にすることなく、少ないメモリ量にて効率よく符号化を行うことが可能となる。

【0085】なお、本実施の形態1ではウェーブレット変換を水平・垂直ともに1回だけ行なって4階層に分割する場合について説明したが、低周波領域のLL成分についてはウェーブレット変換を繰り返して、7階層や、10階層に分割する場合などにもこれを適応できる。また優先順位として例えばY-LL, C-LL, Y-HL, Y-LH, C-HL, C-LH, Y-HH, C-HHの順など、Y成分とC成分で同じ周波数の階層が隣接する優先順位とする必要はない。さらにウェーブレット変換を繰り返すのをLL成分に限ることはない。

【0086】また、映像信号をYUV信号に変換した場合について説明したが、色空間の表現はこれに限るものではない。

【0087】さらに、ウェーブレット変換を用いて本実施の形態1を説明したが、その符号化方法はこれに限るものではなく、例えば、MPEG本来の規格には該当しなくなるが、映像信号を複数の成分に分け、その各々の成分に対してMPEG符号化を行うようにしたもの等、に対してもこれを適用することができる。

【0088】実施の形態2：次に本発明の実施の形態2について図1、図2、図3、図4、図7、図8、図9を

用いて説明する。なお実施の形態1と重複する部分についてはその説明を省略する。

【0089】図7は図4のブロック構成をまとめたもので、図において、412は図4の色分解手段402に相当する色分解手段、413は図4のY符号化部403、U符号化部404、V符号化部405、UV合成手段406からなる部分に相当する符号化部、417は図4の優先順位判定手段407に相当する優先順位判定手段、418は図4の符号記憶手段408に相当する符号記憶手段である。

【0090】図8は図3に示すように、優先順位判定手段をCPUで構成した場合にその動作を示すフローチャート図であり、図において、S11は現時点で最も優先度の高いYのサブバンドを符号化するステップ、S12は符号記憶手段に記憶できる容量があるか否かを判定するステップ、S13は符号化したサブバンドの符号を詰めるステップ、S14はYの全てのバンドの符号化が終了したか否かを判定するステップ、S15はYの残りのサブバンドの符号化を省略するステップである。また、S16は現時点で最も優先度の高いCのサブバンドを符号化するステップ、S17は符号記憶手段に記憶できる容量があるか否かを判定するステップ、S18は符号化したサブバンドの符号を詰めるステップ、S19はCの全てのバンドの符号化が終了したか否かを判定するステップ、S20は符号化したサブバンドは符号記憶手段内の最も低位のサブバンドより優先するか否かを判定するステップ、S21は符号記憶手段内のYの最も低位の符号を捨てるステップ、S22はCの残りのサブバンドの符号化を省略するステップである。

【0091】また、図9は符号記憶手段に階層毎の符号を詰めていく様子を説明する図である。

【0092】次に動作について説明する。図7において、RGB要素なる映像信号をサンプリング手段400に入力し、サンプリングを行ってフィールドメモリ401に蓄積する。色分解手段412はフィールドメモリ401に蓄積されたRGB信号をYUV信号に変換し、最初にY成分のみを出力する。Y成分の信号は図7の符号化部413でウェーブレット変換・量子化・可変長符号化を施し、階層毎の符号Y-LL、Y-LH、Y-HL、Y-HHを得る。以下説明のための例としてこれらの符号のサイズをそれぞれ表1に示す通りとする。そして、ここでは先の実施の形態1と同じく符号記憶手段418のサイズを11000バイトとする。

【0093】優先順位判定手段417は第1の符号列の階層毎の符号Y-LL、Y-LH、Y-HL、Y-HHを符号記憶手段418にその優先順位に従って先頭から詰めてゆく。これらの処理は図8のステップS11ないしS14のループを4回まわることにより行われる。

【0094】図9(a)は符号記憶手段の初期状態を表し、図9(b)はこのY成分の階層毎の符号を詰め終った

状態を表している。

【0095】次に色分解手段412は4:2:2のサブサンプリングを行なったU成分の信号を出力し、図7の符号化部413でまずウェーブレット変換を施し、次にV信号に対して同じ操作を行なう。そしてこのYUVを4:2:2の比率でサブサンプルすることにより、U成分およびV成分はともにY成分の半分のデータ量となるので、図3(b)に示すように、符号化部413をCPU301とデータ記憶部(メモリ)302と、CPUバス303とで構成した場合、Y成分のウェーブレット変換を行なうのに要するメモリと同じメモリでU成分のウェーブレット変換係数をメモリにおいたまま、V成分のウェーブレット変換を行なうことができる。

【0096】次に図7の符号化部413はその内部の選択手段213(図2参照)でU成分のLL係数を選択し、量子化・可変長符号化を行ってU成分のLL階層符号を得、次にV成分のLL係数を、量子化・可変長符号化してV成分のLL階層符号を得て、これらを合わせてC-LL階層の符号を合成する。この処理はステップS16による。

【0097】説明のためこの符号量を表1に示す通り2000バイトとする。優先順位判定手段417は符号記憶手段418の末尾から、符号C-LLを格納する。これはステップS17、S18およびS19による。図9(c)はこの符号C-LLを詰め終った状態を表している。

【0098】次に上記と同様にしてステップS16によりC-LH階層の符号を合成する。説明のためこの符号量を表1に示す通り1000バイトとする。

【0099】階層の優先順位は実施の形態1で述べたものと同じ順序とすると、C-LHはY-HHより優先順位が高く、Y-HL階層の符号の末尾とC-LL成分の符号との間には1500バイトの余裕があるので、優先判定手段417はC-LH階層の符号を記憶手段418の末尾のC-LL階層の符号に続けて格納することにより、Y-HH階層の符号の一部を上書きし、その残りを破壊することにより、階層単位での書き換えを実行する。この処理はステップS17、S20、S21のループを1回まわってステップS18に移行することにより実行される。図9(d)はC-LH階層の符号を格納する直前の状態を表し、図9(e)はY-HH階層の符号を消して(ステップS21)C-LH階層の符号を格納した状態を表す図である。

【0100】次に上記と同様にしてステップS16によりC-HL階層の符号を合成する。説明のためこの符号量を表1に示す通り1000バイトとする。

【0101】C-HL階層はY-HL階層より優先順位が低く、符号記憶手段418の残り容量(Y-HL階層の符号とC-LH階層の符号の間)が500バイトであることから(図9(f)参照)、C-HL階層の符号は捨

10

20

30

40

50

ててしまう。この処理はステップS17、S20およびS22により実行される。さらにU成分とV成分のHH係数は量子化・可変長符号化も行わずに捨ててしまって、このフィールドの符号化処理を終了する。これはステップS22の処理の続きにより実行される。

【0102】次に優先判定手段417の動作について別のフィールドの符号化処理の場合を例にとって図8および図10を用いて説明する。全符号化を行なった場合の各階層毎の符号量は表2の通りとする。

【0103】

【表2】

色・階層	サイズ
Y-LL	4000
Y-LH	3000
Y-HL	3000
Y-HH	2000
C-LL	3000
C-LH	1500
C-HL	1500
C-HH	1000

【0104】まずY-LL、Y-LH、Y-HL階層の符号を符号記憶手段418の先頭から順に図10(b)の様に詰める。この処理は、ステップS11ないしS14のループを3回まわることにより実行される。この時点で符号記憶手段418の空き容量は1000バイトとなり、次のY-HH階層の符号はこの記憶手段418が容量不足となることがステップS12により判明するのでこれを格納せずに捨てる。この処理はステップS15で実行される。次にC-LL階層の符号は図10(c)の様に、これより優先順位の低いY-HL階層の符号を消すことで格納する。この処理はステップS16、S17、S20、S21、およびS17、S18を実行することにより行われる。そして、次のC-LH階層以降の符号はY-HL階層より優先順位が低いので捨ててしまう。この処理はステップS16、S17、S20、S22により実行され、これにより処理が終了する。

【0105】さらに優先判定手段417の動作について別のフィールドの符号化処理の場合を例にとって図8および図11を用いて説明する。全符号化を行なった場合の各階層毎の符号量は表3の通りとする。

【0106】

【表3】

色・階層	サイズ
Y-LL	2000
Y-LH	1500
Y-HL	1500
Y-HH	1000
C-LL	1500
C-LH	1000
C-HL	1000
C-HH	500

10 【0107】この場合は符号記憶手段418の容量が、生成した符号の総量より多いので、全ての符号を格納することができる。これはステップS11～S14を4回まわり、ステップS16～S19を4回まわることにより実行される。すなわち、まずY成分の符号を符号記憶手段418の先頭から順に図11(b)の様に詰める。次にC成分の符号を符号記憶手段418の末尾から順に図11(c)の様に詰める。

【0108】上記に説明する方法で予め固定的に定めた容量の符号記憶手段に1フィールドの符号を格納することができる。

20 【0109】このように、本実施の形態2によれば、RGBカラー画像をYUVカラー画像に変換しこれにウェーブレット変換、量子化、可変長符号化を施しYC成分に変換したものを記憶手段に記憶する際、符号量が多いY成分についてはその低周波成分の優先度を高くして記憶手段の先頭から順次詰めてゆき、C成分についてもその低周波成分の優先度を高くして記憶手段の後尾から順次詰めてゆき、記憶しきれない高周波成分についてはこれを棄却するようにしたので、画像の情報をあまり落とすことなく予め固定的に定めた記憶容量を有する記憶手段に効率よく格納することができ、復号化に際してその画質を殆ど犠牲にすることなく、少ないメモリ量にて効率よく符号化を行うことが可能となる。

30 【0110】実施の形態3。次に本発明の実施の形態3について説明する。本実施の形態3は先の実施の形態2の優先順位判定手段417および符号記憶手段418に関するものであるので、これ以前の処理については説明を省略する。

40 【0111】図7において、符号記憶手段418は1フィールド以上の符号を格納する大きさを持つメモリとする。

【0112】図12はこの実施の形態3において符号記憶手段に符号が詰められる様子を示す図である。

50 【0113】また、図13はこの実施の形態3の動作を示すフローチャートであり、図において、S31は図8と同様の方法で符号化を行い、これを符号記憶手段に詰めるステップ、S32は符号記憶手段418のY記憶領域とC記憶領域の間に空き領域があるか否かを判定するステップ、S33は空き領域が埋まるように符号記憶手段418内でC記憶領域を移動するステップである。



【0114】次に動作について説明する。領域管理手段の機能を併せ持つ符号記憶手段418は予め固定的に定めた容量のメモリを1フィールド分の符号に割り当てる。図12(a)は符号記憶手段418内のメモリと1フィールド分の符号に割り当てたメモリAを表している。先の実施の形態2で説明したのと同じ方法で、割り当てたメモリAに符号を格納する。この処理は図13のステップS31により行われ、図12(b)のYはメモリAに格納したY成分の符号を表し、CはC成分の符号を表す。次に転送手段および領域回収手段の機能を併せ持つ優先順位判定手段417は符号記憶手段418のY成分の符号とC成分の符号の間に空いた領域をC成分の符号を転送することによって詰める。この処理は図13のステップS32、S33により行われ、図12(c)はこの間を詰めた状態を表している。

【0115】次にさらに映像信号の1フィールドをサンプリングし上記の処理を繰り返す。符号記憶手段418は先と同じ容量のメモリを1フィールド分の符号に割り当てる。図12(d)は最初に符号化したフィールドの符号の次に次のフィールドに割り当てたメモリBの状態を表している。以下上記と同様にメモリBに符号を格納する。この処理を繰り返すことによって符号記憶手段内の連続するメモリにすき間なく符号を詰めることができる。

【0116】上記の実施の形態はYUVの4:2:2サンプリングについて説明したが、例えばサンプリングを4:1:1で行なうと、一般的にY成分の符号量に比べてU成分とV成分の符号の分を合わせたC成分の符号量が少なくなる。この場合、C成分の符号を末尾から詰めることによってY成分とC成分の符号の間を詰めるのに必要な転送量が逆に詰めるより少なくて済む。なお符号記憶手段418は各フィールド毎に同じ容量のメモリを割り当てる必要はなく、例えば先に符号化したフィールドの符号量に応じて容量を変更してもよい。

【0117】このように、本実施の形態3によれば、RGBカラー画像をYUVカラー画像に変換しこれにウェーブレット変換、量子化、可変長符号化を施しYC成分に変換したものを符号記憶手段に記憶する際、符号量が多いY成分についてはその低周波成分の優先度を高くして記憶手段の先頭から順次詰めてゆき、C成分についてもその低周波成分の優先度を高くして記憶手段の後尾から順次詰めてゆき、記憶しきれない高周波成分についてはこれを棄却するようにしたので、画像の情報をあまり落とすことなく予め固定的に定めた記憶容量を有する記憶手段に効率よく格納することができ、復号化に際してその画質を殆ど犠牲にすることなく、少ないメモリ量にて効率よく符号化を行うことが可能となる。また、上記で説明した記憶領域管理法によって連続するフィールドの信号をフィールドあたりのメモリ量を一定以下に抑えながら効率よく格納できる。

【0118】実施の形態4。次に本発明の実施の形態4について説明する。本実施の形態4は符号列を3つに分割する場合を説明するものである。前記実施の形態に準ずる部分の説明は一部省略する。図14において、400~405は図4と同様のものである。

【0119】図15はその符号記憶手段および一時記憶手段に符号が詰められる様子を示す図である。

【0120】また、図16、図49は、この実施の形態4の動作を示すフローチャートであり、図において、S41はY-L成分を符号化するステップ、S42はこの符号化したY-L成分を符号記憶手段に詰めるステップ、S43~S46は図8のS11~S14と同様のステップである。S47はステップS44において符号記憶手段に記憶できる容量がないと判定された時に、Yの残りのサブバンドを一時記憶手段に詰めるステップである。また、S48はU-L成分を符号化するステップ、S49はこの符号化したU-L成分を符号記憶手段に詰めるステップ、S50は原時点で最も優先度の高いUのサブバンドを符号化するステップ、S51は符号化手段に記憶できる容量があるか否かを判定するステップ、S52は符号化したサブバンドの符号を詰めるステップ、S53はUの全てのバンドの符号化が終了したか否かを判定するステップ、S54はUの残りのサブバンドを一時記憶手段に記憶するステップ、S55はV-L成分を符号化するステップ、S56はこの符号化したV-L成分を符号記憶手段に詰めるステップ、S57は原時点で最も優先度の高いVのサブバンドを符号化するステップ、S58は符号化手段に記憶できる容量があるか否かを判定するステップ、S59は符号化したサブバンドの符号を詰めるステップ、S60はVの全てのバンドの符号化が終了したか否かを判定するステップ、S61はVの残りのサブバンドを一時記憶手段に記憶するステップ、S62は符号化手段に空き容量があるか否かを判定するステップ、S63は原時点で最も優先度の高いY、U、Vのサブバンドを一時記憶手段から符号記憶手段に転送するステップである。

【0121】次にその優先順位判定手段407の動作を説明する。階層の優先順位はLL成分を最優先とし以下LH、HL、HHの順位とし、同じ階層ではY成分を優先とする。また説明のための例としてY-L~V-Hの符号量を表4に示す通りとし、記憶手段408のサイズを11500バイト、一時記憶手段409のサイズを12000バイトとする。図15(a)はこの符号記憶手段408、一時記憶手段409の初期状態を表している。

【0122】記憶制御手段としての優先順位判定手段407は、まずY成分の符号に対しては最も優先順位の高いY-Lの符号を符号記憶手段408に格納し、Y-LH、Y-HL、Y-HHの符号は一時記憶手段409に記憶する。この処理は図16、図49のステップS4



1～S46およびS47により実行され、図15(b)はこの状態を表している。次にU成分の符号に対して、U-L-Lの符号を符号記憶手段408のY-L-Lの次に格納し、U-L-H、U-H-L、U-H-Hの符号は一時記憶手段409に記憶する。この処理は図16、図49のステップS48～S54により実行され、図15(c)はU成分の符号を記憶し終った状態を表す。次にV成分の符号に対しても同様の操作を行なう。この処理は図16、図49のステップS55～S61により実行され、図15(d)は全ての色成分の符号を記憶し終った状態を表している。次に符号記憶手段408はY-L-L、U-L-L、V-L-Lを詰めた残りが4000バイトあることから、転送判定手段としての機能を併せ持つ優先順位判定手段407は、一時記憶手段409に記憶した符号のうち優先順位の高いものから4000バイト以下の部分にあたるY-L-H、U-L-H、V-L-Hの符号を符号記憶手段408に転送する。この処理は図16、図49のステップS62、S63により実行され、図15(e)は転送が終った状態を表している。この段階で、一時記憶手段409に残った符号は捨てて、1フィールドの符号化処理を終了する。

【0123】このように、本実施の形態4によれば、RGBカラー画像をYUVカラー画像に変換しこれにウェーブレット変換、量子化、可変長符号化を施したものを符号記憶手段に記憶する際、符号量が多いY成分についてはその優先度が高いY-L-L成分を記憶手段に記憶し、残りの成分についてはこれを一時記憶手段に記憶し、U成分、V成分についてもその優先度が高いU-L-L成分、V-L-L成分をY-L-L成分とアドレスの間隙が生じないようにこれを符号記憶手段に記憶し、残りの成分については一時記憶手段に記憶し、この一時記憶手段に記憶した成分のうち、その優先度がかなり高く、かつ符号記憶手段の残りの容量に格納し得る余裕があるY-L-H成分、U-L-H成分、V-L-H成分についてはこれを一時記憶手段から符号記憶手段に転送するようにしたので、画像の情報を3つに分割する場合でも、画像の情報をあまり落とすことなく予め固定的に定めた記憶容量を有する記憶手段に効率よく格納することができ、復号化に際してその画質を殆ど犠牲にすることなく、少ないメモリ量にて効率よく符号化を行うことが可能となる。また、上記で説明した記憶領域管理法によって連続するフィールドの信号をフィールドあたりのメモリ量を一定以下に抑えながら効率よく格納できる。

【0124】なお、この実施の形態4では、符号列を3つ生成する場合について説明したが、2つ以上の符号列を生成する場合に関しても同様に適用可能である。

【0125】実施の形態5。次に本発明の実施の形態5について図17を用いて説明する。本実施の形態5は先の実施の形態3とほぼ同じ構成であり、同じ部分についてはその説明を省略する。

【0126】図17において、符号記憶手段428は先の実施の形態3の符号記憶手段418の機能に加え、1フィールドの符号の合計を計算し、その量に合わせて、次にサンプリングするフィールドを決定してこれをサンプリング手段420に指示する機能を有する。また、サンプリング手段420はこの符号記憶手段428により指示されたフィールドのサンプリングを行なうものである。

【0127】以下、具体的に秒あたり60フィールドの映像信号の1秒間分を165000バイトのメモリに符号化して記録する場合について説明する。なお1フィールドの符号化処理に1/15秒を要するものとし、4フィールド間隔以上のフィールド間引きを行なうものとする。

【0128】最初にサンプリング手段420により、1フィールドをサンプリングし、実施例の形態3と同様の方法に従い1フィールドあたり16500バイトのメモリを割り当てて符号化を行なう。符号記憶手段428は、符号化手段により使用したメモリ量を算出するメモリ量算出手段や、このメモリ量算出手段により算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げ手段、メモリ量算出手段により算出したメモリ量に比例したフィールド間隔を算出するフィールド間隔算出手段や、このフィールド間隔算出手段により算出したフィールド間隔を前記サンプリング手段に対し指定するフィールド間隔指定手段、さらには符号記憶手段に、切り上げ手段で切り上げを行ったことを検出する切り上げ検出手段や、この切り上げ検出手段により切り上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう符号化調整手段の機能を併せ持っており、Y成分とC成分の符号の合計が11000バイト以下の場合は先にサンプリングしたフィールドの4フィールド後のフィールドをサンプリングし、これが11000バイトを超えるが13750バイト以下の場合は5フィールド後のフィールドをサンプリングし、13750バイトを超える場合は6フィールド後のフィールドをサンプリングする。

【0129】また映像信号がインターレース操作を行なっている場合、サンプリングしたフィールドの上下位置が変化することを避けるため、11000バイト以上の場合は6フィールド後のフィールドをサンプリングするようにしてもよい。

【0130】これは、通常のテレビジョン信号(NTSC信号)の場合、4ないし6フィールド間隔でのサンプリングが余り不自然さを感じないサンプリング間隔の上限であることがその理由である。

【0131】そしてそのサンプリングを4フィールド間隔で行ないフィールドあたりのメモリを11000バイトを固定的に割り当てれば所望の条件を満たすが、映像の質によっては解像度が格段に落ちる場合がある。また

6フィールド間隔でサンプリングを行ない、フィールドあたり16500バイトを固定的に割り当てても所望の条件を満たすが、映像の質によっては1フィールドあたりが16500バイトに満たない場合が発生し、メモリの使用効率が格段に落ちる。

【0132】このように、本実施の形態5では、映像信号のフィールドを指定する時間間隔でサンプリングし、このサンプリングされたデータに対して階層符号化を行い、これを符号記憶手段に記憶するとともに、その階層符号化を行う際に使用したメモリ量を算出し、この算出したメモリ量が予め定めた下限値以下の場合、これを下限値に切り上げるとともに、この切り上げを行ったことを検出した場合、符号量が増大するように階層符号化の調整を行うとともに、上記算出したメモリ量に比例したフィールド間隔を算出し、この算出したフィールド間隔をサンプリング手段に対し指定することにより、符号量が多い場合はフィールドの間引き間隔を広げ、符号量が少ない場合は間引き間隔を縮めることで限られたメモリに一定時間の映像信号を効率良く記憶することができる。符号化方法および符号化装置を実現することができる。

【0133】なおここで上げた1フィールドの符号化時間、メモリ量や映像信号記録時間などは単なる一例に過ぎず、本発明はこれに限るものではない。

【0134】さらに上記実施の形態5において、1フィールドの符号量が11000バイトを下回るフィールドが続く場合、図2の量子化部214での量子化誤差が少なくなる方向に量子化因子を変更するようにしてもよい。

【0135】実施の形態6。次に前記実施の形態1ないし4の方法によって符号化した映像信号を再生する方法について、図18を用いて説明する。符号記憶手段518は前記実施の形態1ないし4の方法により符号化された映像信号を記憶するものであり、前記実施の形態1ないし4の符号記憶手段408または418と同じものであり、符号化時にサンプリング間隔も記憶するものとする。復号化部（復号化手段）503は符号化手段413の逆演算を行なうものとし、フィールド記憶手段501aとフィールド記憶手段501bはそれぞれ映像信号を記憶し、その一方の出力が絶えず映像提示手段500で提示されるものとする。

【0136】これらの動作についてさらに詳しく説明する。符号記憶手段518から最初の1フィールド分の符号でY成分、C成分（実施の形態4に対応するものの場合、はY成分、U成分、V成分）の符号を順次取り出し、復号化部503により復号処理を施して、映像信号のY成分、U成分、V成分をそれぞれ再生しフィールド記憶手段501aに格納する。ただし符号化の時C成分で破壊したY成分の階層や符号化処理を行なわなかった階層は全て0として復号化処理を行なう。そして各成分の映像信号が揃った時点でYUV信号をそのまま入力で

きる映像提示手段500に映像を提示する。

【0137】次に2番目のフィールドの符号を符号記憶手段518から取り出し、上記と同様にして、映像信号を再生し、フィールド記憶手段501bに格納する。最初のフィールドのサンプリング間隔の後、映像提示手段500に提示するフィールド記憶手段を501bに切替え3番目のフィールドの映像信号の再生処理を開始する。以下、この処理を符号記憶手段518に次のフィールドの符号がある限り繰り返しておこなう。

【0138】このように、本実施の形態6によれば、実施の形態1ないし4の方法により符号化された映像信号を記憶する記憶手段から符号を読み出し、これに符号化と逆の演算を行って、復号を行い、復号した映像信号をフィールド記憶手段の一方に書込み他方から読み出しを行い、これを交互に繰り返すことにより映像信号を再生することにより、実施の形態1ないし4の方法で符号化された映像信号を再生できる。またフィールド記憶手段を切替えるフィールド間隔を、符号記憶手段518に記憶したサンプリング間隔の一定倍とすることで、高速再生やスロー再生を行なうこともできる。

【0139】なお本実施の形態6ではYUV信号のまま提示できる映像提示手段500を用いたが、YUV信号からRGB信号に変換する変換手段をフィールド記憶手段の前段または後段に設けて、RGB信号を映像提示手段500に入力してもよい。

【0140】実施の形態7。次に前記実施の形態5の方法によって符号化した映像信号を再生する方法について、図19を用いて説明する。符号記憶手段528は前記実施の形態5の方法により符号化された映像信号を記憶するものであるが、前記実施の形態5の符号記憶手段428と同じもので、符号化時にサンプリング間隔も記憶するものとする。

【0141】これらの動作についてさらに詳しく説明する。符号記憶手段528から最初の1フィールド分の符号でY成分、C成分の符号を順次取り出し、復号化部503により復号処理を施して、映像信号のY成分、U成分、V成分をそれぞれ再生しフィールド記憶手段501aに格納する。ただし符号化の時C成分で破壊したY成分の階層や符号化処理を行なわなかった階層は全て0として復号化処理を行なう。そして各成分の映像信号が揃った時点でYUV信号をそのまま入力できる映像提示手段500に映像を提示する。

【0142】次に2番目のフィールドの符号を符号記憶手段528から取り出し、上記と同様にして、映像信号を再生し、フィールド記憶手段501bに格納する。最初のフィールドのサンプリング間隔の後、映像提示手段500に提示するフィールド記憶手段を501bに切替え3番目のフィールドの映像信号の再生処理を開始する。以下、この処理を符号記憶手段528に次のフィールドの符号がある限り繰り返しておこなう。

【0143】このように、本実施の形態7によれば、実施の形態5の方法により符号化された映像信号およびそのサンプリング間隔を記憶する記憶手段から符号を読み出し、これに符号化と逆の演算を行って、復号を行い、復号した映像信号をフィールド記憶手段の一方に書き込み他方から読み出しを行い、これを交互に繰り返すことにより映像信号を再生することにより、サンプリングのフィールド間引きが一定でないにも関わらず、元の映像信号と同じ速度で再生できる。またフィールド記憶手段を切替えるフィールド間隔を、符号記憶手段528に記憶したサンプリング間隔の一定倍とすることで、高速再生やスロー再生を行なうこともできる。

【0144】なお本実施の形態7ではYUV信号のまま提示できる映像提示手段500を用いたが、YUV信号からRGB信号に変換する変換手段をフィールド記憶手段の前段または後段に設けて、RGB信号を映像提示手段500に入力してもよい。

【0145】実施の形態8.ところで、実施の形態1ないし5における符号化方法および符号化装置ではウェーブレット変換によってその符号化を行うようにしたが、本実施の形態8はウェーブレット変換を実現するためのハードウェアの規模、および変換速度の問題を解決するために、ウェーブレット変換の特徴である、画像データを周波数帯域毎に繰り返し周波数分割する点に着目してこれを利用するようにしたものであり、これにより実施の形態1ないし5における符号化方法および符号化装置のハードウェアの回路規模をより一層縮小できるものである。

【0146】すなわち、図47の入力画像I1、HPF、LPFおよびサブサンブラ、または入力画像I1を水平方向に周波数分割した変換画像I3、HPF、LPFおよびサブサンブラでの処理を、一組の画像データおよび変換データを保持するメモリ、HPF、LPFとサブサンブラにより実現する。

【0147】さらに、入力画像を周波数分割した変換データは、入力画像上に上書き転送することにより、余分なメモリを必要とせず、また周波数分割とデータ転送をパイプライン処理することにより、ウェーブレット変換に要する時間も短縮できるウェーブレット変換装置を実現するようにしたものである。

【0148】以下、図20を用いて、本発明の実施の形態8について説明する。図20において、601はシステム全体を制御するCPU、602は画像データおよびこれをウェーブレット変換して得た係数データを蓄積するためのデータ記憶部、603はCPUバス、701は入力データを2画素毎並列に6画素保持しておくシフトレジスタ部、702はシフトレジスタ部701のデータから低周波成分を取り出してL係数データとして出力するローパスフィルタ、703はシフトレジスタ部701のデータから高周波成分を取り出してH係数データとし

て出力するハイパスフィルタである。

【0149】以上のように構成されたウェーブレット変換装置について、以下その動作について図21を用いて説明する。まず、符号化(ウェーブレット変換)について説明する。図21は、入力画像を周波数分割していく経過を示している。

【0150】ウェーブレット変換を行なう画像データ(図21(a))は、一旦CPUバス603上のデータ記憶部602に蓄積される。CPU601は、データ記憶部602の画像データの水平方向のラインデータ1(図21(a))を逐次、CPUバスを介してシフトレジスタ部701に転送する。

【0151】画素データ(図21(a))のラインデータの先頭から、 $P_{n-2}$ 、 $P_{n-1}$ 、 $P_n$ 、 $P_{n+1}$ 、 $P_{n+2}$ 、 $P_{n+3}$ 、 $P_n$ とし(図20のシフトレジスタ部701参照)、L係数データを $L_n$ 、H係数データを $H_n$ で表現した時、LPFを(数1)によって実現しており、

【0152】

【数1】

$$L = \frac{-P_{2n-2} + 2 \cdot P_{2n-1} + 6 \cdot P_{2n} + 2 \cdot P_{2n+1} - P_{2n+2}}{8}$$

【0153】HPFを(数2)により実現している。

【0154】

【数2】

$$H = \frac{P_{2n-2} - 2 \cdot P_{2n-1} + P_{2n+2}}{2}$$

【0155】このフィルタは、Symmetric Short Kernel Filter (SSKF)と呼ばれ、LPFは5タップ、HPFは3タップで周波数分割できるため、小規模のハードウェアによって実現できる。

【0156】図22(a)、図22(b)はこのSSKFによって実現されたLPF、HPFを示し、図22(a)において、702a、702b、702d、702h、702iは加算器、702c、702eは入力を2倍する乗算器、702jは入力を8で除算する除算器、702f、702gは入力の2の補数を出力する補数器である。また、図22(b)において、703a、703dは加算器、703bは入力の2の補数を出力する補数器、703cは入力を2倍する乗算器、703eは入力を2で除算する除算器である。

【0157】図20のシフトレジスタ部701はレジスタ701f、701d、701bからなるレジスタ列701xとレジスタ701e、701c、701aからなるレジスタ列701yとから構成されており、シフトレジスタ部701に2画素単位で画素…、 $P_{n-2}$ 、 $P_{n-1}$ 、 $P_n$ 、 $P_{n+1}$ 、 $P_{n+2}$ 、 $P_{n+3}$ 、 $P_n$ …が入力すると、レジスタ列701xの入力には、画素…、 $P_{n-1}$ 、 $P_{n+1}$ 、 $P_{n+3}$ …が入力され、レジスタ列701yの入力には、画素…、 $P_{n-2}$ 、 $P_n$ 、 $P_{n+2}$ …が入力される。

【0158】このため、シフトレジスタ部701に単に

2画素分ずつ画素データを入力することによって、周波数分割を実行するのに要する入力データ単位毎 ( $m-2$ 、 $m$ 、 $m+2$ 、...) のバッファと、レジスタ列701x、701yに画素データを1画素おきに入力する1/2サブサンプリングとを同時に行なっている。

【0159】そして、このシフトレジスタ部701に転送された画素データをローパスフィルタ702およびハイパスフィルタ703に出力することにより2画素毎に周波数分割されたL係数データとH係数データは、一旦レジスタ704、705にこれをラッチしてから、CPU601がデータ記憶部602の変換ラインデータ格納領域にそれぞれ転送し、その後、入力画像のラインデータ格納領域に再度転送することにより、図21(b)のL係数データ1、H係数データ1に示すアドレスにそれぞれ蓄積する。この動作を繰り返すことで、図21(a)の画像データは周波数分割後、図21(c)のように蓄積される。

【0160】次に、図21(c)の係数データについて垂直方向の周波数分割を行なう。CPU601は、データ記憶部602のL係数データの垂直方向のラインデータ2(図21(d))を逐次、CPUバス603を介して、シフトレジスタ部701に転送する。そしてこのシフトレジスタ部701に転送された画素データをローパスフィルタ702およびハイパスフィルタ703に出力することにより2画素毎に周波数分割されたL係数データとH係数データは、CPU601がデータ記憶部602の垂直方向の変換ラインデータ格納領域に転送し、その後、入力画像の垂直方向のラインデータ格納領域に再度転送することにより、図21(e)のL係数データ2、H係数データ2に示すアドレスにそれぞれ蓄積する。この動作を繰り返すことで、図21(d)の係数データは周波数分割後、図21(f)のように蓄積される。

【0161】CPU601は、この周波数分割を繰り返すことにより、入力画像データを図48に示す帯域に分割したウェーブレット係数データに変換する。

【0162】以上の動作をフローチャートに示すと図23のようになる。

【0163】即ち、(1)ステップS101において、CPU601はデータ記憶部602に格納している入力画像データのラインデータを順次2画素単位で読み出す。

( $P_n-2$ ,  $P_n-1$ ), ( $P_n$ ,  $P_n+1$ ), ( $P_n+2$ ,  $P_n+3$ ), ...

(2)そして、ステップS102において、この読み出した2画素単位の画像データを順次シフトレジスタ部701に転送する。その際、CPUバスは16ビット幅であるのに対し、シフトレジスタ部701の各レジスタ列701x、701yの入力バスは8ビット幅であるので、単にこの転送を行うだけで、水平方向に1/2のダウンサンプリングがなされる。そして、レジスタに書き込むタイミングでレジスタ値をシフトする。

【0164】(3)ステップS103において、シフトレ

ジスタ部701の中心画素 $P_n$ に対して、ローパスフィルタ702、ハイパスフィルタ703において、

LPF係数データ =  $(-P_{n-2} + 2P_{n-1} + 6P_n + 2P_{n+1} - P_{n+2}) / 8$

HPF係数データ =  $(P_{n-2} - 2P_{n-1} + P_n + 2) / 2$

の処理を行う。

【0165】(4)ステップS104において、中心画素 $P_n$ に対するLPF係数データ、HPF係数データを一旦レジスタ704、705にそれぞれラッチする。

【0166】(5)ステップS105において、CPU601により、ラッチしたL、H係数データを、データ記憶部602のウェーブレット変換データのラインデータ $L_n$ 、 $H_n$ として格納する。

【0167】(6)ステップS106において、以上の処理(1)ないし(5)を入力画像の全てのラインについて繰り返して、入力画像I1から画像I2、I3を得る。

【0168】(7)そして、ステップS107において、データ記憶部602のアドレスと処理サイズを制御して以上の処理(1)ないし(6)を入力画像の全てのラインについて画素単位で繰り返すことにより、HH(F1)、HL(F2)、LH(F3)、LL(=I4)を得る。

【0169】(8)そして、ステップS108において、I4を入力画像とし、データ記憶部602のアドレスと処理サイズを制御して垂直方向のラインについて(1)ないし(7)と同様の処理を繰り返すことにより、LLHH(F4)、LLHL(F5)、LHLH(F6)、LHLL(=I7)を得る。

【0170】(9)そして、ステップS109において、I7を入力画像とし、データ記憶部602のアドレスと処理サイズを制御して(1)ないし(8)と同様の処理を繰り返すことにより、LLLLHH(F7)、LLLLHL(F8)、LLLLLH(F9)、LLLLL(=I10)を得る。

【0171】このように、実施の形態8によれば、CPU601が、データ記憶部602の画像データを一組のシフトレジスタ部701を介してローパスフィルタ702、ハイパスフィルタ703にデータ転送することにより、1/2サブサンプリングと周波数分割とを同時に実行する処理を、周波数帯域毎に再帰的に行なうことで、小規模のハードウェアでのウェーブレット変換が可能となり、かつその制御も簡単なウェーブレット変換装置が実現できる。

【0172】実施の形態9。以下、図24、図25、図26および図21を用いて、本発明の実施の形態9について説明する。図24は本実施の形態9における全体のシステム構成図で、図において、601~604は図20の構成と同様のものである。図20の構成と異なるのは、ローパスフィルタ部603の出力を保持するための係数ラインメモリ(FIFO)部1(74)、ハイパスフィルタ部604の出力を保持するための係数ラインメ

メモリ (FIFO) 部2 (75)、データのDMA転送を行うためのCPUバス用DMAC601aが付加された点である。なお、このDMAC601aはCPU601に内蔵されたものを用いてもよい。

【0173】図25はこの実施の形態9における、ローパスフィルタ部72およびハイパスフィルタ部73の構成を示すもので、ローパスフィルタ部72は図20のシフトレジスタ部701、LPF702およびレジスタ704から構成され、ハイパスフィルタ部73は図20のシフトレジスタ部701、HPF703およびレジスタ705から構成されている。

【0174】以下その動作について説明する。ウェーブレット変換を行なう画像データ (図21(a)) は、一旦CPUバス603上のデータ記憶部602に蓄積される。CPUバス用DMAC601aは、実施の形態8と同様に、データ記憶部602の画像データの水平方向のラインデータ1 (図21(a)) を逐次、CPUバス603を介してローパスフィルタ部72およびハイパスフィルタ部73にDMA転送する。ローパスフィルタ部72およびハイパスフィルタ部73によって2画素毎に周波数分割されたL係数データは係数ラインメモリ1 (74) に保持され、H係数データは、係数ラインメモリ2 (75) に保持される。CPUバス用DMAC601aは、ラインデータ1 (図21(a)) の周波数分割終了後、係数ラインメモリ1 (74)、係数ラインメモリ2 (75) に保持している係数データをデータ記憶部602にDMA転送し、図21(b) のL係数データ1、H係数データ1に示すアドレスにそれぞれ蓄積する。

【0175】CPUバス用DMAC601aは、実施の形態8と同様に、この周波数分割を繰り返すことにより、入力画像データを図48に示す帯域に分割したウェーブレット係数データに変換する。

【0176】以上の動作をフローチャートに示すと図26のようになる。

【0177】即ち、(1) ステップS111において、CPU601はCPUバス用DMAC601aに対してデータ記憶部602内の入力画像データのラインデータの先頭アドレスと転送データ長を指定して、DMA転送を行う制御命令を出す。

【0178】(2) ステップS112において、CPUバス用DMAC601aはデータ記憶部602の入力画像データのラインデータを、順次2画素単位で読みだす。

( $P_n-2$ ,  $P_n-1$ ), ( $P_n$ ,  $P_n+1$ ), ( $P_n+2$ ,  $P_n+3$ ), ...

(3) そして、ステップS113において、この読み出した画素データを順次2画素単位でシフトレジスタ部701に転送する。その際、CPUバスは16ビット幅であるのに対し、シフトレジスタ部701の各レジスタ列701x, 701yの入力バスはそれぞれ8ビット幅であるので、単にこの転送を行うだけで、水平方向に1/2のダウンサンプリングがなされる。そして、レジスタに

書き込むタイミングでレジスタ値をシフトする。

【0179】(4) ステップS114において、シフトレジスタ部701の中心画素 $P_n$ に対して、ローパスフィルタ部702、ハイパスフィルタ部703において、

$$LPF \text{ 係数データ} = (-P_n-2 + 2*P_n-1 + 6*P_n + 2*P_n+1 - P_n+2) / 8$$

HPF係数データ = ( $P_n-2*P_n+1 + P_n+2$ ) / 2  
の処理を行う。

【0180】(5) ステップS115において、中心画素 $P_n$ に対するLPF係数データ、HPF係数データを一旦レジスタ704, 705にそれぞれラッチする。

【0181】(6) ステップS116において、ラッチしたL, H係数データをそれぞれ係数FIFO1 (74), 係数FIFO2 (75) に格納する。

【0182】(7) ステップS117において、CPUバス用DMAC601aは、係数FIFO1 (74), 係数FIFO2 (75) の順にその出力をデータ記憶部602のウェーブレット変換データ格納領域に格納する。このとき、1画素が8ビットであるので、DMAの倍のサイクルでシリアル/パラレル変換を行って16ビットとして転送することにより、さらなる高速化を図ることができる。

【0183】(8) ステップS118において、以上の処理(1) ないし(7) を入力画像の全てのラインについて繰り返すことにより、入力画像I1から画像I2, I3を得る。

【0184】(9) ステップS119において、CPU601はデータ記憶部602に格納している入力画像データのアドレスと処理サイズを制御して、その垂直方向のラインデータを順次2画素単位で読みだす。

【0185】(10) そして、ステップS120において、この読み出した2画素単位の画像データを順次シフトレジスタ部701に転送する。

【0186】(11) ステップS121において、シフトレジスタ部701はその中心画素 $P_n$ に対して、ローパスフィルタ部702、ハイパスフィルタ部703において、

$$LPF \text{ 係数データ} = (-P_n-2 + 2*P_n-1 + 6*P_n + 2*P_n+1 - P_n+2) / 8$$

HPF係数データ = ( $P_n-2*P_n+1 + P_n+2$ ) / 2  
の処理を行う。

【0187】(12) ステップS122において、中心画素 $P_n$ に対するLPF係数データ、HPF係数データを一旦レジスタ704, 705にそれぞれラッチする。

【0188】(13) ステップS123において、CPU601により、ラッチしたL, H係数データを、データ記憶部602のウェーブレット変換データの垂直方向のラインデータ $L_n$ ,  $H_n$ として格納する。

【0189】(14) ステップS124において、以上の処理(9) ないし(13) を入力画像の全ての垂直方向ラインについて画素単位で繰り返すことにより、HH (F1),

HL (F2), LH (F3), LL (=14.) を得る。

【0190】(15)そして、ステップS125において、14を入力画像として、データ記憶部602のアドレスと処理サイズを制御して(1)ないし(14)と同様の処理を繰り返すことにより、LLHH (F4), LLHL (F5), LHLH (F6), LHLL (=17) を得る。

【0191】(16)そして、さらにステップS126において、17を入力画像として、データ記憶部602のアドレスと処理サイズを制御して(1)ないし(14)と同様の処理を繰り返すことにより、LLLLHH (F7), L 10 LLLHL (F8), LLLLLH (F9), LLLL LL (=110) を得る。

【0192】なお、係数FIFO1 (74), 係数FIFO2 (75) を設けないとすると、データ記憶部の入力画像データ領域のラインデータを逐次周波数分割して元のラインデータの場合に変換後ラインデータのように格納しようとする、2画素単位で処理を行うため、また読み出していないラインデータを壊してしまう。

【0193】しかしながら、本実施の形態9では係数FIFO1 (74), 係数FIFO2 (75) を設けてラ 20 イン単位の処理を行っているため、データ記憶部の入力画像データ領域のラインデータを周波数分割すると、その係数データは一旦FIFOに格納されているので、もとのラインデータのあった領域に戻すことができ、ウェーブレット変換データ領域が不要となり、メモリ効率がよくなる。

【0194】このように、実施の形態9によれば、データ記憶部602の画像データを一組のシフトレジスタ部701を介してローパスフィルタ702、ハイパスフィルタ703にデータ転送することにより、1/2サブサン 30 プリングと周波数分割とを同時に実行する処理を、周波数帯域毎に再帰的に行なうことにより、小規模のハードウェアでのウェーブレット変換が可能となり、かつその制御も簡単なウェーブレット変換装置が実現できるとともに、そのL係数データ、H係数データを順番にデータ記憶部にDMA転送できるので、アドレス計算が簡略化でき、データ記憶部602がDRAM等の水平方向にバースト転送が可能なものであれば、その水平方向のデータ転送時間が高速化でき、またデータ記憶部602がSRAM等の水平、垂直方向にバースト転送可能なメモリであれば、さらにその垂直方向についても転送時間が高速化できるので、ウェーブレット変換の高速化を実現できる。

【0195】実施の形態10。以下、図27、図28および図21を用いて、本発明の実施の形態10について説明する。図27は本実施の形態10における全体のシステム構成図で、601~606は図24の構成と同様のものである。図24の構成と異なるのは、2画素分のビット幅を有するCPUバス603とは別に1画素分のビット幅を有するローカルバス609を設け、ローカル 50

バス609上に周波数分割したL係数とH係数を蓄積する係数記憶部607、係数ラインメモリ1 (74)、2 (75) の転送先を切替える切換部78、ローパスフィルタ部72とハイパスフィルタ部73に入力するデータを、データ記憶部602と係数記憶部607から選択する選択部79、データのDMA転送を行うためのローカルバス用DMAC606aを付加した点である。

【0196】以下、その動作について説明する。ウェーブレット変換を行なう画像データ (図21(a)) は、一旦CPUバス上のデータ記憶部602に蓄積される。CPU601は、データ記憶部602の画像データの水平方向のラインデータ1 (図21(a)) を逐次、CPUバス603を介してローパスフィルタ部72およびハイパスフィルタ部73に転送する。この時、選択部79はCPUバス603を選択している。

【0197】ローパスフィルタ部72およびハイパスフィルタ部73によって2画素毎に周波数分割されたL係数データは、CPU601を介さずに直接係数記憶部607に転送され (図21(b))、その間、H係数データは、係数ラインメモリ75に保持される。係数ラインメモリ75のH係数データは、L係数データの係数記憶部607への転送終了後に、係数記憶部607に転送される (図21(b))。この時、切換部78はローカルバス609を選択している。

【0198】よって、係数記憶部607のL、H係数データは、図21(a) の画像データを繰り返し周波数分割することで、図21(c) のように蓄積される。

【0199】次に、図21(c) の係数データについて垂直方向の周波数分割を行なう。CPU601は、係数記憶部607のL係数データの垂直方向のラインデータ (図21(d)) を逐次読み出し、ローパスフィルタ部72およびハイパスフィルタ部73に転送する。この時、選択部79はローカルバス609を選択している。

【0200】2画素毎に周波数分割されたL係数データは、係数ラインメモリ1 (74) に保持され、H係数データは、係数ラインメモリ2 (75) に保持される。周波数分割終了後、係数ラインメモリ1 (74) のL係数データを係数記憶部607へ転送し (図21(e))、続いて係数ラインメモリ2 (75) のH係数データを係数 40 記憶部607に転送する (図21(e))。

【0201】よって係数記憶部607のL、H係数データは、図21(d) の画像データを繰り返し周波数分割することで、図21(f) のように蓄積される。

【0202】同様に、係数記憶部607のL、H係数データを更に繰り返し周波数分割することで、入力画像データを図48に示すようなL、H係数データに周波数分割でき、ウェーブレット変換が完了する。

【0203】この時、1回目の周波数分割が終わった後は、ローカルバスだけを使用して周波数分割しているの 50 で、この間CPU601はCPUバス603を用いて、

他の処理を自由に行なえる。

【0204】以上の動作をフローチャートに示すと図28のようになる。

【0205】即ち、(1) ステップS121において、CPU601はCPUバス用DMAC601aに対してデータ記憶部602内の入力画像データのラインデータの先頭アドレスと転送データ長を指定して、DMA転送を行う制御命令を出す。

【0206】(2) ステップS122において、CPUバス用DMAC601aはデータ記憶部602の入力画像データのラインデータを、順次2画素単位で読み出す。

( $Pn-2$ ,  $Pn-1$ ), ( $Pn$ ,  $Pn+1$ ), ( $Pn+2$ ,  $Pn+3$ ), ...

(3) そして、ステップS123において、この読み出した画素データを順次2画素単位でシフトレジスタ部701に転送する。その際、CPUバス603は16ビット幅であるのに対し、シフトレジスタ部701のレジスタ列701x, 701yの入力バスはそれぞれ8ビット幅であるので、単にこの転送を行うだけで、水平方向に1/2のダウンサンプリングがなされる。そして、レジスタに書き込むタイミングでレジスタ値をシフトする。

【0207】(4) ステップS124において、シフトレジスタ部701の中心画素 $Pn$ に対して、ローパスフィルタ部702、ハイパスフィルタ部703において、  
 $LPF$ 係数データ =  $(-Pn-2+2*Pn-1+6*Pn+2*Pn+1-Pn+2)/8$

$HPF$ 係数データ =  $(Pn-2*Pn+1+Pn+2)/2$   
 の処理を行う。

【0208】(5) ステップS125において、中心画素 $Pn$ に対する $LPF$ 係数データ、 $HPF$ 係数データを一旦レジスタ704, 705にそれぞれラッチする。

【0209】(6) ステップS126において、ラッチした $L$ ,  $H$ 係数データをそれぞれ係数 $FIFO1$ (74), 係数 $FIFO2$ (75)に格納する。

【0210】(7) ステップS127において、ローカルバス用DMAC606aは、係数 $FIFO1$ (74), 係数 $FIFO2$ (75)の順にデータ記憶部2のウェーブレット変換データ格納領域に格納する。

【0211】(8) ステップS128において、以上の処理(1)ないし(7)を入力画像の全てのラインについて繰り返すことにより、入力画像I1から画像I2, I3を得る。

【0212】(9) 次に、ステップS129において、CPU601はローカルバス用DMAC606aに対して係数記憶部607内の入力画像データのラインデータの先頭アドレスと転送データ長を指定して、DMA転送を行う制御命令を出す。

【0213】(10) ステップS130において、ローカルバス用DMAC606aは係数記憶部607のアドレスと処理サイズを制御して変換データのラインデータを、順次読みだす。

( $Ln-2$ ,  $Ln-1$ ), ( $Ln$ ,  $Ln+1$ ), ( $Ln+2$ ,  $Ln+3$ ), ...

(11)そして、ステップS131において、この読み出した画素データを順次2画素単位でシフトレジスタ部701に転送する。但し、ローカルバス609は1画素単位のビット幅しか有さないために、これをシリアル/パラレル変換等により2画素単位に変換してからシフトレジスタ部701に転送する必要がある。そして、2画素単位で送られてきた画素データは16ビット幅であるのに対し、シフトレジスタ701のレジスタ列701x, 701yの入力バスはそれぞれ8ビット幅であるので、単にこの転送を行うだけで、垂直方向に1/2のダウンサンプリングがなされる。そして、レジスタに書き込むタイミングでレジスタ値をシフトする。

【0214】(12)ステップS132において、シフトレジスタ701の中心画素 $Ln$ に対して、ローパスフィルタ部702、ハイパスフィルタ部703において、  
 $LPF$ 係数データ =  $(-Ln-2+2*Ln-1+6*Ln+2*Ln+1-Ln+2)/8$

$HPF$ 係数データ =  $(Ln-2*Ln+1+Ln+2)/2$   
 の処理を行う。

【0215】(13)ステップS133において、中心画素 $Ln$ に対する $LPF$ 係数データ、 $HPF$ 係数データを一旦レジスタ704, 705にそれぞれラッチする。

【0216】(14)ステップS134において、ラッチした $L$ ,  $H$ 係数データをそれぞれ係数 $FIFO1$ (74), 係数 $FIFO2$ (75)に格納する。

【0217】(15)ステップS135において、ローカルバス用DMAC606aは、係数 $FIFO1$ (74), 係数 $FIFO2$ (75)の順にデータを読み出して係数記憶部607のウェーブレット変換データ格納領域に格納することにより、 $HH(F1)$ ,  $HL(F2)$ ,  $LH(F3)$ ,  $LL(=14)$ を得る。

【0218】(16)そして、ステップS136において、14を入力画像として、データ記憶部602のアドレスと処理サイズを制御して(1)ないし(14)と同様の処理を繰り返すことにより、 $LLHH(F4)$ ,  $LLHL(F5)$ ,  $LHLH(F6)$ ,  $LHLL(=17)$ を得る。

【0219】(17)そして、ステップS137において、さらに17を入力画像として、データ記憶部602のアドレスと処理サイズを制御して(1)ないし(15)と同様の処理を繰り返すことにより、 $LLLLHH(F7)$ ,  $LLLLHL(F8)$ ,  $LLLLLH(F9)$ ,  $LLLLLL(=110)$ を得る。

【0220】このように、本実施の形態10によれば、例えば、CPU601がDMA機能を持ち、データ記憶部602を水平方向のメモリアクセスに対してのみバースト転送が可能なメモリとしてのDRAM、係数記憶部607を水平方向と垂直方向のメモリアクセスに対してのみバースト転送が可能なメモリとしてのSRAMにより構成し、係数ラインメモリ部1, 2(74, 75)を

FIFOで構成することにより、データ記憶部602の画像データは、CPU601のDMAサイクルで周波数分割が行なえ、係数データとして係数ラインメモリ1、2(74、75)に保持し、さらに切換部78により、係数データを係数記憶部607にバースト転送できる。また、係数記憶部607の係数データの周波数分割に対しても選択部79で係数記憶部607の係数データを選択することにより、これを同様にDMAサイクルで周波数分割を行なえる。このため、このハードウェア構成を用いて画像転送と周波数分割をパイプライン処理することにより、画像データを高速に周波数分割することができる。また、再帰的に画像の水平方向、垂直方向の周波数分割を行なうことで、ウェーブレット変換を小規模のハードウェアかつ簡単な制御を行うものとして実現できる。

【0221】なお、上記実施の形態10では、ローカルバスとして1画素分のビット幅を有するものを設けたが、係数記憶部として入出力が2画素分のビット幅を有するSRAMを使用可能であれば、ローカルバスを2画素分のビット幅を有するものとすることもできる。

【0222】また、係数記憶部を用いて周波数分割を行う場合、最後に係数FIFO1、係数FIFO1からデータ出力する際にこれをデータ記憶部に転送してもよいが、このとき、1画素が8ビットであるので、DMAの倍のサイクルでシリアル/パラレル変換して16ビットとして転送を行うことにより、さらなる高速化を図ることができる。

【0223】実施の形態11。以下、図29、図30、図31、図32を用いて、本発明の実施の形態11について説明する。本実施の形態11ではウェーブレット変換されたデータをウェーブレット逆変換(復号)する処理について説明する。図29は本実施の形態11における全体のシステム構成図で、601~603、701は図20の構成と同様のものである。図20の構成と異なるのは、ローパスフィルタ部702、ハイパスフィルタ部、レジスタ704、705に代えて、データ記憶部602に記憶されたL係数とH係数から元の画像に復号するための復号フィルタ部1、2(801、802)、復号フィルタ部1、2(801、802)の出力係数データをラッチするレジスタ804、805を設けた点である。

【0224】図31(a)、図31(b)は、復号フィルタ部1、2(801、802)の構成を示し、図31(a)において、801a、801bは加算器、801cは入力を4で除算する除算器である。また、図31(b)において、802a、802b、802f、802h、802jは加算器、802c、802eは入力を2倍する乗算器、802dは入力の2の補数を出力する補数器、802gは入力を8で除算する除算器、802iは入力を2で除算する除算器である。

【0225】以下その動作について説明する。図30は、ウェーブレット変換された画像を復号していく経過を示している。ウェーブレット変換された画像は、データ記憶部602に図30(a)として蓄積されている。まず、図30(a)(1)のLLLLLL係数データを垂直方向に取り出してシフトレジスタ部701に転送する。転送終了後、図30(a)(1)のLLLLLH係数データを転送するタイミングに同期して、L、H係数データを復号フィルタ部1、2(801、802)に1画素毎に転送する。

【0226】図31は復号フィルタ1、2(801、802)の構成を示している。L係数データをラインの先頭から、 $L_n$ 、 $L_{n+1}$ 、H係数データをラインの先頭から、 $H_{n-1}$ 、 $H_n$ 、 $H_{n+1}$ とし、復号した図30(a)(1)の係数ラインの奇数番目のデータを $P_{2n}$ 、偶数ラインのデータを $P_{2n+1}$ とした場合、奇数番目のデータは、(数3)によって実現しており、

【0227】

【数3】

$$P_{2n} = L_n + \frac{H_{n-1} + H_n}{4}$$

【0228】偶数番目のデータは、(数4)によって実現している。

【0229】

【数4】

$$P_{2n+1} = \frac{L_n + L_{n+1}}{2} + \frac{H_{n-1} - 6 \cdot H_n + H_{n+1}}{8}$$

【0230】また、この処理を行うことにより画素数を増やすアップサンプリングを同時に行なっている。

【0231】復号化フィルタ1、2(801、802)で復号化された奇数番目のデータは、レジスタ804に保持し、偶数番目のデータは、レジスタ805に保持する。

【0232】そしてこのレジスタ804、805の奇数データ、偶数データを、交互に読み出すことにより、これを再びデータ記憶部602に転送し、図30(a)(1)に示すアドレスに蓄積する。

【0233】よってデータ記憶部602の図30(a)のLLLLLL係数データ、LLLLLH係数データを、繰り返し復号化処理することで、図30(b)のLLLLL係数データ領域が復元される。

【0234】同様に、図30(a)(2)のLLLLHL係数データとLLLLHH係数データを、垂直方向に取り出して復号すると、図30(b)のLLLLH係数データ領域が復元される。

【0235】さらに、図30(b)(3)の水平方向のLLLLLL係数とLLLLLH係数から図30(c)のLLLLL係数が復元できる。

【0236】続いて、図30(c)(4)の垂直方向のLLLLL係数、LLLLH係数の復号処理と繰り返し続く。



【0237】最終的に原画像データを復元する場合、水平方向のL係数とH係数を復号処理した後、復号された画像データはレジスタ804、805に保持されるが、CPU601はこのレジスタ804、805に保持された画像データを読み出しCPUバス603を介してデータ記憶部602に蓄積する。

【0238】よってデータ記憶部602のL、H係数データを原画像データに復元し、データ記憶部602に転送できる。

【0239】以上の動作をフローチャートに示すと図3 10 2のようになる。

【0240】即ち、(1) ステップS141において、CPU601は、データ記憶部602に格納しているウェーブレット変換データのラインデータを、L係数データ、H係数データと交互に順次1画素単位で読み出す。  
 ... , Ln-1, Hn-1, Ln, Hn, Ln+1, Hn+1, ...

(2) ステップS142において、読み出したL係数データ、H係数データはそれぞれ順次シフトレジスタ部に転送する。

【0241】L係数データ、H係数データは、CPU6 20 01がそれぞれレジスタに書き込むタイミングで、レジスタ値をシフトする。

【0242】(3) ステップS143において、シフトレジスタ701部の中心画素Ln、Hnに対して、  
 復号データ2n (偶数) =  $Ln + (Hn-1 + Hn) / 4$   
 復号データ2n+1 (奇数) =  $(Ln + Ln+1) / 2 + (Hn-1 - 6 * Hn + Hn+1) / 8$   
 の処理を行う。

【0243】(4) ステップS144において、中心画素Ln、Hnに対する復号データ2n、2n+1を一旦レジスタ804、805にそれぞれラッチする。

【0244】(5) ステップS145において、CPU601により、ラッチした復号データを、データ記憶部602の入力画像データのラインデータPn、Pn+1に順次格納する。

【0245】このハードウェア構成を用いて係数データ転送と復号化処理をパイプライン処理することで、係数データの復号化を高速に行なえる。さらに再帰的に画像の水平方向、垂直方向の復号化を行なうことでウェーブレット逆変換を実現できる。

【0246】(6) ステップS146において、以上の処理(1) ないし(5) をL係数データ、H係数データの全てのライン相当分について繰り返し、L係数データ、H係数データから画像I2、I3を得る。

【0247】(7) しかる後、ステップS147において、データ記憶部602のアドレスと処理サイズを制御して以上の処理(1) ないし(6) をL係数データ、H係数データの全てのライン相当分について画素単位で繰り返すことにより、LLLLH、LLLLL (=I4) を得る。

【0248】(8) そして、ステップS148において、データ記憶部602のアドレスと処理サイズを制御してLLLLH、LLLLLを入力画像として以上の処理(1) ないし(7) と同様の処理を繰り返すことにより、LLHH、LLHL、LHLH、LHLLを得る。

【0249】(9) そして、ステップS149において、データ記憶部602のアドレスと処理サイズを制御してLLHH、LLHL、LHLH、LHLLを入力画像として以上の処理(1) ないし(8) と同様の処理を繰り返すことにより、LLH、LHLを得る。

【0250】(10)そして、ステップS150において、データ記憶部602のアドレスと処理サイズを制御してLLH、LHLを入力画像として以上の処理(1) ないし(9)と同様の処理を繰り返すことにより、LH、LLを得る。

【0251】(11)そしてさらに、ステップS151において、データ記憶部602のアドレスと処理サイズを制御してLH、LLを入力画像として以上の処理(1) ないし(10)と同様の処理を繰り返すことにより、元の入力画像I1を復元する。

【0252】このように、実施の形態11によれば、CPU601が、データ記憶部602の係数データを一組の復号フィルタ部803、復号フィルタ部804にデータ転送してアップサブサンプリングと復号化する処理を、周波数帯域毎に再帰的に行なうことにより、小規模のハードウェアでのウェーブレット逆変換が可能となり、かつその制御も簡単なウェーブレット逆変換装置が実現できる。

【0253】実施の形態12. 以下、図33、図34、図30を用いて、本発明の実施の形態12について説明する。図33は本実施の形態12における全体のシステム構成図で、601~603、701は図29の構成と同様のものである。図29の構成と異なるのは、復号フィルタ部801の出力を保持するための係数ラインメモリ部1(84)、復号フィルタ部802の出力を保持するための係数ラインメモリ部2(85)、復号L係数ラインメモリ部710、データのDMA転送を行うためのCPUバス用DMAC601aが付加された点である。なお、このDMAC601aはCPU601に内蔵されたものを用いてもよい。

【0254】以下その動作について説明する。図30は、ウェーブレット変換された画像を復号していく経過を示している。ウェーブレット変換された画像は、データ記憶部602に図30(a)として蓄積されている。CPUバス用DMAC601aはまず、図30(a) (1) のLLLLLL係数データを垂直方向に取り出して復号ラインメモリ部710に転送する。転送終了後、図30(a) (1) のLLLLLLH係数データを転送するタイミングに同期して、L、H係数データを復号フィルタ部1、2(801、802)に1画素ずつ転送する。

【0255】図31は復号フィルタ1、2(801、802)の構成を示している。L係数データをラインの先頭から、 $L_n$ 、 $L_{n+1}$ 、H係数データをラインの先頭から、 $H_{n-1}$ 、 $H_n$ 、 $H_{n+1}$ とし、復号した図30(a)(1)の係数ラインの奇数番目のデータを $P_{2n}$ 、偶数ラインのデータを\*

$$P_{2n+1} = (L_n + L_{n+1}) / 2 + (H_{n-1} - 6 * H_n + H_{n+1}) / 8 \quad \dots (式4)$$

また、この処理により画素数を増すアップサンプルを同時に行なっている。

【0256】復号化フィルタ1、2(801、802)で復号化された奇数番目のデータは、レジスタ804に保持し、偶数番目のデータは、レジスタ805に保持する。

【0257】そしてこのレジスタ804、805の奇数データ、偶数データを、交互に読み出すことにより、これを再びデータ記憶部602に転送し、図30(a)(1)に示すアドレスに蓄積する。

【0258】よってデータ記憶部602の図30(a)のLLLLLL係数データ、LLLLLH係数データを、繰り返し復号化処理することで、図30(b)のLLLLL係数データ領域が復元される。

【0259】同様に、図30(a)(2)のLLLLHL係数データとLLLLHH係数データを、垂直方向に取り出して復号すると、図30(b)のLLLLH係数データ領域が復元される。

【0260】さらに、図30(b)(3)の水平方向のLLLLL係数とLLLLLH係数から図30(c)のLLLLL係数が復元できる。

【0261】続いて、図30(c)(4)の垂直方向のLLLLL係数、LLLLH係数の復号処理と繰り返し続く。

【0262】最終的に原画像データを復元する場合、水平方向のL係数とH係数を復号処理した後、復号された画像データはレジスタ804、805に保持されるが、CPUバス用DMAC601aはこのレジスタ804、805に保持された画像データを読み出しCPUバス603を介してデータ記憶部602に蓄積する。

【0263】よってデータ記憶部602のL、H係数データを原画像データに復元し、データ記憶部602に転送できる。

【0264】以上の動作をフローチャートに示すと図34のようになる。

【0265】即ち、(1)ステップS161において、CPU601は、CPUバス用DMAC601aに対して、データ記憶部602のウェーブレット変換データのL係数ラインデータおよびH係数ラインデータの先頭アドレスと転送データ長を指定して、DMA転送を行う命令を出す。

【0266】(2)ステップS162において、CPUバス用DMAC601aは、L係数ラインを復号し、係数FIFOメモリ710に、1画素ずつデータを転送する。

\*  $P_{2n+1}$ とした場合、奇数番目のデータは、(式3)によって実現しており、

$$P_{2n} = L_n + (H_{n-1} + H_n) / 4 \quad \dots (式3)$$

偶数番目のデータは、(式4)によって実現している。

...,  $L_{n-1}$ ,  $L_n$ ,  $L_{n+1}$ , ...

(3) ステップS163において、復号L係数FIFOメモリ710にL係数ラインデータの転送終了後、H係数ライン(...,  $H_{n-1}$ ,  $H_n$ ,  $H_{n+1}$ , ...)をH係数用シフトレジスタに書き込むタイミングに同期して、復号L係数FIFOメモリ710の内容をL係数用シフトレジスタ701xに転送してラッチ/シフトする。

【0267】(4) ステップS164において、シフトレジスタ701の中心画素 $L_n$ 、 $H_n$ に対して、

$$\text{復号データ } 2n \text{ (偶数)} = L_n + (H_{n-1} + H_n) / 4$$

$$\text{復号データ } 2n+1 \text{ (奇数)} = (L_n + L_{n+1}) / 2 + (H_{n-1} - 6 * H_n + H_{n+1}) / 8$$

の処理を行う。

【0268】(5) ステップS165において、中心画素 $L_n$ 、 $H_n$ に対するLPF係数データ、HPF係数データを一旦レジスタにそれぞれラッチし、係数FIFO1(84)、係数FIFO2(85)に転送する。

【0269】(6) ステップS166において、転送終了後、係数FIFO1(84)、係数FIFO2(85)の奇数、偶数復号データを、逐次FIFOを切り替え、データ記憶部602の入力画像データのラインデータに格納する。

【0270】この時、ウェーブレット変換データと入力画像データは、メモリ効率を高めるために、同一のメモリ領域に記憶してもよい。

【0271】また、この係数FIFO1、係数FIFO1からデータ記憶部にデータを出力する際に1画素が8ビットであるので、DMAの倍のサイクルでシリアル/パラレル変換して16ビットとして転送を行うことにより、さらなる高速化を図ることができる。

【0272】(7) ステップS167において、以上の処理(1)ないし(6)をL係数データ、H係数データの全てのライン相当分について繰り返すことにより、L係数データ、H係数データから画像I2、I3を得る。

【0273】(8) しかる後、ステップS168において、データ記憶部602のアドレスと処理サイズを制御して以上の処理(1)ないし(7)をL係数データ、H係数データの全てのライン相当分について画素単位で繰り返すことにより、LLLLH、LLLLL(=I4)を得る。

【0274】(9) そして、ステップS169において、データ記憶部602のアドレスと処理サイズを制御して以下同様に処理(1)ないし(8)を繰り返すことにより、LLHH、LLHL、LHLH、LHLLを得る。

【0275】(10)そして、さらにステップS170において、データ記憶部602のアドレスと処理サイズを制御して同様の処理(1)ないし(9)を繰り返すことにより、LLH、LHLを得る。

【0276】(11)これに対し、さらにステップS171において、データ記憶部602のアドレスと処理サイズを制御して同様の処理(1)ないし(10)を繰り返すことにより、LH、LLを得る。

【0277】(12)そしてさらに、ステップS172において、データ記憶部602のアドレスと処理サイズを制御して同様の処理(1)ないし(11)を繰り返すことにより、元の入力画像I1を復元する。

【0278】このように、実施の形態12によれば、データ記憶部602の画像データを一組のシフトレジスタ部701を介して復号フィルタ801、802にデータ転送することにより、ウェーブレット逆変換とアップサブサンプリングとを同時に実行する処理を、周波数帯域毎に再帰的に行なうことにより、小規模のハードウェアでのウェーブレット逆変換が可能となり、かつその制御も簡単なウェーブレット逆変換装置が実現できるとともに、そのL係数データ、H係数データを順番にデータ記憶部にDMA転送できるので、アドレス計算が簡略化でき、データ記憶部602がDRAM等の水平方向にバースト転送が可能なものであれば、その水平方向のデータ転送時間が高速化でき、またデータ記憶部602がSRAM等の水平、垂直方向にバースト転送可能なメモリであれば、さらにその垂直方向についても転送時間が高速化できるので、ウェーブレット逆変換の高速化を実現できる。

【0279】実施の形態13. 以下、図35、図36、\*30

$$P2n+1 = (Ln+Ln+1) / 2 + (Hn-1-6 * Hn+Hn+1) / 8 \quad \cdots (式4)$$

また、この処理によりアップサンプルを同時に行なっている。

【0283】復号化フィルタ1、2(801、802)で復号化された奇数番目のデータは、レジスタ804に保持し、偶数番目のデータは、レジスタ805に保持する。

【0284】そしてこのレジスタ804、805の奇数データ、偶数データを、交互に読み出すことにより、これを再び係数記憶部807に転送し、図30(a)(1)に示すアドレスに蓄積する。

【0285】よってデータ記憶部602の図30(a)のLLLLLL係数データ、LLLLLH係数データを、繰り返し復号化処理することで、図30(b)のLLLLL係数データ領域が復元される。

【0286】同様に、図30(a)(2)のLLLLHL係数データとLLLLHH係数データを、垂直方向に取り出して復号すると、図30(b)のLLLLH係数データ領域が復元される。

【0287】さらに、図30(b)(3)の水平方向のLL

\* 図30を用いて、本発明の実施の形態13について説明する。図35は本実施の形態13における全体のシステム構成図で、601~606は図29の構成と同様のものである。図29の構成と異なるのは、CPUバス603とは別のローカルバス609を設け、ローカルバス609上に周波数分割したL係数とH係数を蓄積する係数記憶部807、係数ラインメモリ85、86の転送先を切替える切替部88、データのDMA転送を行うためのローカルバス用DMAC807aが付加された点である。

【0280】以下、その動作について説明する。図30は、ウェーブレット変換された画像を復号していく経過を示している。

【0281】ウェーブレット変換された画像は、係数記憶部807に図30(a)として蓄積されている。ローカルバス用DMAC807aはまず、図30(a)(1)のLLLLLL係数データを垂直方向に取り出して復号ラインメモリ部710に転送する。転送終了後、図30(a)(1)のLLLLLH係数データを転送するタイミングに同期して、L、H係数データを復号フィルタ部1、2(801、802)に1画素ずつ転送する。

【0282】図31は復号フィルタ1、2(801、802)の構成を示している。L係数データをラインの先頭から、Ln、Ln+1、H係数データをラインの先頭から、Hn-1、Hn、Hn+1とし、復号した図30(a)(1)の係数ラインの奇数番目のデータをP2n、偶数ラインのデータをP2n+1とした場合、奇数番目のデータは、(式3)によって実現しており、

$$P2n = Ln + (Hn-1 + Hn) / 4 \quad \cdots (式3)$$

偶数番目のデータは、(式4)によって実現している。

LLLL係数とLLLLLH係数から図30(c)のLLLLL係数が復元できる。

【0288】続いて、図30(c)(4)の垂直方向のLLLLL係数、LLLLLH係数の復号処理と繰り返し続く。

【0289】最終的に原画像データを復元する場合、水平方向のL係数とH係数を復号処理した後、復号された画像データは係数FIFO1(905)、係数FIFO2(906)に保持されるが、CPUバス用DMAC601aはこの係数FIFO1(905)、係数FIFO2(906)に保持された画像データを読み出しCPUバス60を介してデータ記憶部602に蓄積する。

【0290】よってデータ記憶部602のL、H係数データを原画像データに復元し、データ記憶部602に転送できる。

【0291】以上の動作をフローチャートに示すと図36のようになる。

【0292】即ち、(1)ステップS181において、CPU601はローカルバス用DMAC807aに対して図30(a)のように周波数分割された、係数記憶部80

7の、図30(a)(1)に示すLLLLLLおよびLLLLLHの周波数領域の垂直方向の先頭アドレスと転送データ長を指定して、DMA転送を行う制御命令を発する。

【0293】(2) ステップS182において、ローカルバス用DMAC807aは、LLLLLL係数の垂直ラインを復号L係数FIFO710に、1画素ずつデータ転送する。

(..., Ln+1, Ln, ...)

(3) ステップS183において、復号L係数FIFO710にLLLLLL係数データを転送終了後、LLLLLH係数の垂直ライン(..., Hn+1, Hn, Hn-1, ...)を転送するタイミングに同期して、復号フィルタ部(801, 802)のシフトレジスタにラッチ/シフトする。

【0294】(4) ステップS184において、シフトレジスタ701の中心画素Ln, Hnに対して、

復号データ2n(偶数) =  $Ln + (Hn-1 + Hn) / 4$

復号データ2n+1(奇数) =  $(Ln + Ln+1) / 2 + (Hn-1 - 6 * Hn + Hn+1) / 8$

の処理を行う。

【0295】(5) ステップS185において、中心画素Ln, Hnに対する復号データを係数FIFO1(905)、係数FIFO2(906)にそれぞれ転送する。

【0296】(6) ステップS186において、転送終了後、係数FIFO1(905)、係数FIFO2(906)の奇数、偶数復号データを、逐次FIFOを切り替え、係数記憶部807のLLLLL、LLLLLHの領域に格納する。

【0297】(7) ステップS187において、(1)~(6)の処理をLLLLLL、LLLLLH係数データの垂直方向全ラインに対して処理することで、図30(b)(3)の変換が完了する。

【0298】(1)~(6)のデータ転送制御は、すべてローカルバス用DMAC807aによって行われる。

【0299】そして、以下、同様の処理を係数記憶部807のアドレスと処理サイズを制御して繰り返し行うことにより、係数FIFO1(905)、係数FIFO2(906)に復号データを得る。

【0300】最終的に原画像データを復号する場合、

(8) ステップS188において、係数FIFO1(905)、係数FIFO2(906)の復号データ(原画像)はCPUバス用DMA601aによって、データ記憶部602にデータ転送する。

【0301】なお、その際、1画素が8ビットであるので、DMAの倍のサイクルでシリアル/パラレル変換して16ビットとして転送を行うことにより、さらなる高速化を図ることができる。

【0302】以上により、例えば、CPU601がDMA機能を持ち、データ記憶部602を水平方向のメモリアクセスに対してのみバースト転送が可能なDRAM、

係数記憶部7を水平方向と垂直方向のメモリアクセスに対してのみバースト転送が可能なメモリ、例えばSRAMにより構成し、係数ラインメモリ部1、2(905、906)をFIFOで構成することにより、係数記憶部807の係数データは、CPU601のDMAサイクルで復号が行なえ、係数データとして係数ラインメモリ1、2(905、906)に保持し、さらに係数データを係数記憶部807にバースト転送できる。

【0303】また、データ記憶部602への復元された画像データの転送に関しても同様に行なえる。

【0304】このように、実施の形態13によれば、例えば、CPU601がDMA機能を持ち、データ記憶部602を水平方向のメモリアクセスに対してのみバースト転送が可能なメモリとしてのDRAM、係数記憶部807を水平方向と垂直方向のメモリアクセスに対してのみバースト転送が可能なメモリとしてのSRAMにより構成し、係数ラインメモリ部1、2(905、906)をFIFOで構成することにより、データ記憶部602の画像データは、CPU601のDMAサイクルでウェーブレット逆変換が行なえ、係数データとして係数ラインメモリ1、2(905、906)に保持し、さらに切換部88により、係数データを係数記憶部807にバースト転送できる。このため、このハードウェア構成を用いて画像転送と周波数分割をパイプライン処理することにより、画像データを高速にウェーブレット逆変換することができる。また、再帰的に画像の水平方向、垂直方向の周波数分割を行なうことで、ウェーブレット逆変換を小規模のハードウェアかつ簡単な制御を行うものとして実現できる。

【0305】実施の形態14。以下、図37、図38、図50を用いて、本発明の実施の形態14について説明する。図37は本実施の形態14における全体のシステム構成図で、601、602、603、72、73、79は図27の構成と同様のものであり、710、701、801、802、804、805は図35の構成と同様のものである。

【0306】以下、その動作について説明する。この実施の形態14の動作は、実施の形態10と実施の形態13の動作を合わせたものと同等になるので、その動作をフローチャートに示すと図38、図50のようになる。

【0307】(1) ステップS191において、CPU601はCPUバス用DMAC601aに対してデータ記憶部602内の入力画像データのラインデータの先頭アドレスと転送データ長を指定して、DMA転送を行う制御命令を出す。

【0308】(2) ステップS192において、CPUバス用DMAC601aはデータ記憶部602の入力画像データのラインデータを、順次2画素単位で読み出す。

(Pn-2, Pn-1), (Pn, Pn+1), (Pn+2, Pn+3), ...

(3) そして、ステップS193において、この読み出し

た画素データを順次2画素単位でシフトレジスタ部701に転送する。その際、CPUバスは16ビット幅であるのに対し、シフトレジスタ701のレジスタ列701x, 701yの入力バスはそれぞれ8ビット幅であるので、単にこの転送を行うだけで、水平方向に1/2のダウンサンプリングがなされる。そして、レジスタに書き込むタイミングでレジスタ値をシフトする。

【0309】(4) ステップS194において、シフトレジスタ部701の中心画素 $P_n$ に対して、ローパスフィルタ部702、ハイパスフィルタ部703において、

$$\text{LPF係数データ} = (-P_{n-2} + 2P_{n-1} + 6P_n + 2P_{n+1} - P_{n+2}) / 8$$

$$\text{HPF係数データ} = (P_n - 2P_{n+1} + P_{n+2}) / 2$$

の処理を行う。

【0310】(5) ステップS195において、中心画素 $P_n$ に対するLPF係数データ、HPF係数データを一旦レジスタ804, 805にそれぞれラッチする。

【0311】(6) ステップS196において、ラッチしたL係数データは係数FIFO1(905)を介さずに係数記憶部807に転送する。H係数データは係数FIFO2(906)に格納する。ローカルバスは1画素分のバス幅を有する。

【0312】この(2)～(4)のデータ転送制御は、CPUバス用DMAC601a、(5)のデータ転送制御は、ローカルバス用DMAC807aによって行われる。

【0313】(7) ステップS197において、L係数データを係数記憶部807に転送終了後、係数FIFO2(906)のH係数データを、係数記憶部807にバースト接続する。

【0314】(8) ステップS198において、(1)～(7)を入力画像の全ラインに対して処理することにより、図21(c)の変換が完了する。

【0315】(9) ステップS199において、ローカルバス用DMAC807aは、係数記憶部807のL係数データの垂直ラインデータを、順次1画素単位でバーストリードを行う。

【0316】(10)ステップS200において、ラインデータをシリアル/パラレル変換して2画素単位とし、ローパスフィルタ部72およびハイパスフィルタ部73に転送する。

【0317】(11)ステップS201において、L係数データ、H係数データをそれぞれFIFO1(905)、FIFO2(906)に転送する。

【0318】(12)ステップS202において、係数記憶部907のL係数の垂直ラインデータを転送終了後、係数FIFO1(905)、係数FIFO2(906)に転送する。

【0319】この(9)～(12)のデータ転送制御は、全てローカルバス用DMACによって行われる。

【0320】(13)ステップS203において、(8)～(1

2)をL係数データの垂直方向全ラインに対して処理することで、図21(f)の変換が完了する。

【0321】さらに、(8)～(12)の処理を、係数記憶部907の周波数領域に対してそのアドレスと処理サイズを制御して繰り返し行うことで、図37の構成において周波数分割が行える。

【0322】また、ウェーブレット逆変換は以下のように行われる。即ち、(14) ステップS204において、CPU601はローカルバス用DMAC807aに対して図30(a)のように周波数分割された、係数記憶部807の、図30(a)に示す(1)LLLLLLおよびLLLLLHの周波数領域の垂直方向の先頭アドレスと転送データ長を指定して、DMA転送を行う制御命令を発する。

【0323】(15)ステップS205において、ローカルバス用DMAC807aは、LLLLLL係数の垂直ラインを復号L係数FIFO710に、1画素ずつデータ転送する。

(...,  $L_{n+1}$ ,  $L_n$ , ...)

(16)ステップS206において、復号L係数FIFO710にLLLLLL係数データを転送終了後、LLLLLH係数の垂直ライン(...,  $H_{n+1}$ ,  $H_n$ ,  $H_{n-1}$ , ...)を転送するタイミングに同期して、復号フィルタ部(801, 802)のシフトレジスタ部701にラッチ/シフトする。

【0324】(17)ステップS207において、シフトレジスタ部701の中心画素 $L_n$ ,  $H_n$ に対して、

$$\text{復号データ } 2n \text{ (偶数)} = L_n + (H_{n-1} + H_n) / 4$$

$$\text{復号データ } 2n+1 \text{ (奇数)} = (L_n + L_{n+1}) / 2 + (H_{n-1} - 6H_n + H_{n+1}) / 8$$

の処理を行う。

【0325】(18)ステップS208において、中心画素 $L_n$ ,  $H_n$ に対する復号データを係数FIFO1(905)、係数FIFO2(906)にそれぞれ転送する。

【0326】(19)ステップS209において、転送終了後、係数FIFO1(905)、係数FIFO2(906)の奇数、偶数復号データを、逐次FIFOを切り替え、係数記憶部807のLLLLLL、LLLLLHの領域に格納する。

【0327】(20)ステップS210において、(14)～(19)の処理をLLLLLL、LLLLLH係数データの垂直方向全ラインに対して処理することで、図30(b)

(3)の変換が完了する。

【0328】(14)～(19)のデータ転送制御は、すべてローカルバス用DMAC807aによって係数記憶部807のアドレスと処理サイズを制御することにより行われる。

【0329】最終的に原画像データを復号する場合、

(21) ステップS211において、係数FIFO1(905)、係数FIFO2(906)の復号データ(原画

像)はCPUバス用DMA601aによって、データ記憶部602にデータ転送する。

【0330】このように、実施の形態14によれば、例えば、CPU601がDMA機能を持ち、データ記憶部602を水平方向のメモリアクセスに対してのみバースト転送が可能なDRAM、係数記憶部807を水平方向と垂直方向のメモリアクセスに対してのみバースト転送が可能なメモリ、例えばSRAMにより構成し、係数ラインメモリ1、2(905、906)をFIFOで構成することにより、データ記憶部602の画像データは、CPU601のDMAサイクルで周波数分割が行なえ、係数データとして係数ラインメモリ1、2(905、906)に保持し、さらに係数データを係数記憶部807にバースト転送できる。また、係数記憶部807の係数データの周波数分割に対しても同様に行なえる。

【0331】このため、このハードウェア構成を用いて画像転送と周波数分割をパイプライン処理することで、画像データは高速に周波数分割できる。さらに再帰的に画像の水平方向、垂直方向の周波数分割を行なうことで、ウェーブレット変換を小規模のハードウェアで簡単な制御を行うものとして実現できる。

【0332】また、係数記憶部807の係数データは、CPU601のDMAサイクルで復号が行なえ、係数データとして係数ラインメモリ1、2(905、906)に保持し、さらに係数データを係数記憶部807にバースト転送できる。また、データ記憶部602への復元された画像データの転送に関しても同様に行なえる。

【0333】このため、このハードウェア構成を用いて係数転送と復号をパイプライン処理することで、画像データは高速にウェーブレット逆変換できる。さらに再帰的に画像の水平方向、垂直方向の逆変換を行なうことで、ウェーブレット逆変換を小規模のハードウェアかつ簡単な制御を行うものとして実現できる。

【0334】実施の形態15。以下、図39、図40、図41、図42を用いて、本発明の実施の形態15について説明する。図39は本実施の形態15における全体のシステム構成図で、601、602、603、72、73、905、906、609、807、807a、98、79、710、913は図37の構成と同様のものである。図37と異なるのは、オフセット部914、逆オフセット部915を設け、図39のCPUバス603に直接接続していないデータバス(図中の太線で示した部分)のデータ幅を拡張し、演算精度を上げた点である。図40は図39の復号フィルタ部82、83の構成を示し、82はシフトレジスタ701と復号フィルタ801からなる復号フィルタ部、83はシフトレジスタ701と復号フィルタ802からなる復号フィルタ部である。

【0335】以下その動作について説明する。なおそのフローチャートは図38と同様である。CPU601

が、データ記憶部602の画像データを逐次CPUバス603を介してローパスフィルタ部72およびハイパスフィルタ部73に転送する時、図39のオフセット部914で8ビットの画像データを12ビットに拡張する。Yデータの場合は画素値が0~255、UVデータの場合は画素値が-128~127をとる。

【0336】図41(a)はYデータを拡張する場合、図41(b)はUVデータを拡張する場合を示している。Yデータの場合、本来の8ビットのYデータの他に、小数点以下の演算のため2ビットの下位拡張ビットと1ビットの上位拡張ビットと1ビットの符号ビットを設ける。UVデータの場合、本来の8ビットのUVデータがあらかじめ符号ビットを持っているので、Yデータと同じデータ幅にするため、上位拡張ビットを2ビットと下位拡張ビット2ビットとする。

【0337】図42は、上位拡張ビットと下位拡張ビットを割り当てを示している。上位拡張ビットを2ビット付加して整数部のビット数を増やすと(図42(a))、表現可能範囲が増大するが、小数点以下の演算精度が悪くなる。また、下位拡張ビットとして3ビットを設けると(図42(c))、小数点以下の演算精度は良くなるが、上位拡張ビットがないため、図42(a)の場合と比べて表現可能範囲が減り、フィルタ演算がオーバーフローする可能性が極めて高くなり、結果として整数部を含めたフィルタ演算の精度が悪くなる。

【0338】本実施の形態15のSSKFを用いて画像をウェーブレット変換する場合、演算値の整数部が8ビットを超える演算の頻度は高いが、9ビットを超える頻度は非常に少ない。

【0339】よって、データ画素値を12ビット幅に拡張する場合、図42(b)に示すように、上位拡張ビットは1ビットとし、2ビットを小数点以下の演算精度のために使用することで、高精度の演算を行なう。

【0340】この8ビット/12ビット拡張化をオフセット部914で行なった後、周波数分割を行なう。ウェーブレット変換終了後、データ記憶部602に転送する場合、逆オフセット部915で12ビットデータの画素データを8ビットに変換する。図43にその変換方法を示す。

【0341】図43(a)はYデータの場合の変換である。下位拡張ビットは切り捨てる。上位拡張ビット、符号ビットに関しては図43(a)の(b11、b10)の組合せの通りにする。符号ビットが「1」の場合、Yデータは正の値しかとらないので0となり、符号ビットが「0」かつ上位拡張ビットが「1」の場合、最大値255をとる。それ以外の場合は、そのままb9~b2を出力する。

【0342】図43(b)はUVデータの場合の変換である。下位拡張ビットは切り捨てる。上位拡張ビット、符号ビットに関しては図43(b)の(b11、b10、b

9)の組合せの通りにする。符号ビットが「1」の場合、-128を出力する。符号ビットが「0」かつ上位拡張ビットの少なくとも一方が「1」の場合、最大値127をとる。但し、(b11、b10、b9)がすべて「1」の場合、そのまま出力する。それ以外の場合は、そのままb9~b2を出力する。

【0343】このように、実施の形態15によれば、データ記憶部602よりデータをローパスフィルタ部72およびハイパスフィルタ部73にDMA転送し、このローパスフィルタ部72およびハイパスフィルタ部73で周波数分割を行なって係数記憶部807にDMA転送し、以下DMA転送によって上述の周波数分割を再帰的に行うことによりウェーブレット変換を行うとともに、このようにして得られた係数データを復号フィルタ部82、83にDMA転送し、この復号フィルタ部82、83でウェーブレット逆変換を行って係数記憶部807にDMA転送し、以下DMA転送によって上述のウェーブレット逆変換を再帰的に行うものにおいて、データ記憶部602からローパスフィルタ部72およびハイパスフィルタ部73に画像データを転送する際に、上位1ビットを拡張するようにしたので、周波数分割する場合のフィルタ演算の精度を上げることができ、これにより、ウェーブレット変換データから復元したデータの画質を向上させることができる。

【0344】実施の形態16。以下、本発明の実施の形態16について説明する。図44、図51は本実施の形態16における全体のシステム構成図で、図44は図39の構成から選択部913a、913b、復号係数ラインメモリ部710、復号フィルタ部82、82を除き、ウェーブレット変換のみを行うようにしたものである。

【0345】この図44の構成において、データ画素値を12ビット幅に拡張する場合、図42(b)に示すように、上位拡張ビットは1ビットとし、2ビットを小数点以下の演算精度のために使用することで、高精度の演算を行なう。

【0346】また、図51は本実施の形態16における全体のシステム構成図で、図39の構成から選択部913a、913b、オフセット部914、選択部79、ローパスフィルタ部72、ハイパスフィルタ部73を除き、ウェーブレット逆変換のみを行うようにしたものである。

【0347】この図51の構成において、図43の方法に従って、12ビット幅に拡張されたデータ画素値を8ビット幅に戻すことができる。

【0348】このように、実施の形態16によれば、データ記憶部602よりデータをローパスフィルタ部72およびハイパスフィルタ部73にDMA転送し、このローパスフィルタ部72およびハイパスフィルタ部73で周波数分割を行なって係数記憶部807にDMA転送し、以下DMA転送によって上述の周波数分割を再帰的

に行うことによりウェーブレット変換を行うものにおいて、データ記憶部602からローパスフィルタ部72およびハイパスフィルタ部73に画像データを転送する際に、上位1ビットを拡張するようにしたので、周波数分割する場合のフィルタ演算の精度を上げることができ、これにより、ウェーブレット変換データから復元したデータの画質を向上させることができる。

【0349】また、ウェーブレット変換を行うことにより得られた係数データを復号フィルタ部82、83にDMA転送し、この復号フィルタ部82、83でウェーブレット逆変換を行って係数記憶部807にDMA転送し、以下DMA転送によって上述のウェーブレット逆変換を再帰的に行うものにおいて、そのデータ幅をウェーブレット変換の際のデータ幅より上位1ビット拡張しておくことにより、画像データを拡張されたビット幅のまま逆変換し、逆変換が終了した時点で元のビット幅に戻すことができ、ウェーブレット変換データからデータを復元した時の画像の画質を向上させることができる。

【0350】実施の形態17。以下、本発明の実施の形態17について説明する。図45は本実施の形態17によるウェーブレット変換装置の構成を示す図で、これは図24のウェーブレット変換装置に図33のウェーブレット逆変換装置の構成を付加し、CPU601、CPUバス用DMAC601a、データ記憶部602、CPUバス603を共用し、選択部179を設けてCPUバス603のデータをローパスフィルタ部72、ハイパスフィルタ部73あるいは復号フィルタ部1(82)、復号フィルタ部2(83)のいずれかに入力し、かつ選択部913a、913bを設けて、ローパスフィルタ部72、ハイパスフィルタ部73の出力あるいは復号フィルタ部1(82)、復号フィルタ部2(83)の出力のいずれかを係数ラインメモリ部1(905)、係数ラインメモリ部2(906)に入力するようにしたものである。

【0351】この実施の形態17は図24のウェーブレット変換装置および図33のウェーブレット逆変換装置とはほぼ同様に動作する。ただし、そのいずれか一方の動作のみを行うものである。

【0352】このように、本実施の形態17によれば、CPU601がDMA機能を持ち、データ記憶部602を水平方向のメモリアクセスに対してのみバースト転送が可能なDRAMにより構成し、係数ラインメモリ部1、2(905、906)をFIFOで構成することにより、データ記憶部602の画像データは、CPU601のDMAサイクルで周波数分割が行なえ、係数データとして係数ラインメモリ1、2(905、906)に保持できる。

【0353】このため、このハードウェア構成を用いて画像転送と周波数分割をパイプライン処理することで、画像データを高速に周波数分割したり、ウェーブレット

逆変換を高速に実行したりでき、ウェーブレット変換、逆変換を小規模のハードウェアで簡単な制御を行うものとして実現できる。

【0354】

【発明の効果】以上のように、本発明の請求項1の符号化方法によれば、符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する第1および第2の符号列を生成する階層符号化ステップと、該階層符号化ステップにより生成した第1および第2の符号列を、前記階層に与えられた優先順位に基づいて、連続してアドレスが付された記憶手段のメモリ領域の一方および他方からそれぞれ格納する格納制御を行う記憶ステップと、該記憶ステップの格納制御を実行する過程で格納すべきメモリ領域に重複が生じた場合、該時点で高い優先順位を有する側の符号列の階層を、他方の符号列に優先して格納する優先判定ステップとを含むようにしたので、容量が限られた記憶手段のなかに優先順位の低い階層の符号までを有効に詰め込むことができ、そのメモリ使用効率が向上する符号化方法が得られる効果がある。

【0355】また、本発明の請求項2の符号化方法によれば、請求項1の符号化方法において、前記記憶ステップは前記記憶手段に対し先に前記第1の符号列を格納し、次に前記第2の符号列を格納するものであり、前記優先判定ステップは前記第2の符号列の階層より前記優先順位の低い前記第1の符号列の階層を判定するとともに、前記第2の符号列を格納するメモリ領域が不足する場合、当該判定した第1の符号列の階層を第2の符号列の階層により上書きするようにしたので、メモリ領域への記憶を進めてゆき、記憶できる限界に達した時に、より優先順位の高い階層の符号を有効に記憶することができ、メモリ使用効率がより向上する符号化方法が得られる効果がある。

【0356】また、本発明の請求項3の符号化方法によれば、符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する2つ以上の符号列を生成する階層符号化ステップと、前記生成した各々の符号列の最も優先順位の高い階層を記憶手段に格納するとともにそれ以外の階層を一時記憶手段に格納するように制御する記憶制御ステップと、前記記憶手段に空きメモリ領域が存在する場合、前記一時記憶手段よりそれぞれの符号列の階層をその優先順位に基づいて前記記憶手段に転送する転送判定ステップとを含むようにしたので、2つ以上の符号列を記憶手段に記憶する際に、容量が限られた記憶手段のなかに優先順位の低い階層の符号までを有効に詰め込むことができ、そのメモリ使用効率が向上する符号化方法が得られる効果がある。

【0357】また、本発明の請求項4の符号化方法によれば、請求項1ないし3のいずれかの符号化方法において、前記記憶手段の連続するメモリ領域から予め定めた大きさのメモリ領域を割り当てる領域管理ステップと、

前記割り当てたメモリ領域に複数の前記符号列を格納する前記記憶ステップと、前記格納した複数の符号列の間に生じた空きメモリ領域を、当該いずれか一方の符号列を転送することで詰める転送ステップと、前記割り当てたメモリ領域で格納に使用しなかったメモリ領域を回収するステップとを含むようにしたので、符号列を記憶した時に、記憶手段の連続するメモリ領域に空きメモリ領域が生じた場合、これを詰めるように記憶するようにしたので、1つの記憶手段により多くの符号列を記憶することができ、メモリ使用効率がより向上する符号化方法が得られる効果がある。

【0358】また、本発明の請求項5の符号化方法によれば、映像信号のフィールドを指定する時間間隔でサンプリングするサンプリングステップと、該サンプリングステップによりサンプリングされた映像信号データに対し請求項3または4記載の符号化方法により階層符号化を行う階層符号化ステップと、該階層符号化ステップにより使用したメモリ量を算出するメモリ量算出ステップと、該メモリ量算出ステップにより算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げステップと、前記メモリ量算出ステップにより算出したメモリ量に比例したフィールド間隔を算出するフィールド間隔算出ステップと、該フィールド間隔算出ステップにより算出したフィールド間隔を前記サンプリングステップに対し指定するステップとを含むようにしたので、容量が限られた記憶手段のなかに優先順位の低い階層の符号までを有効に詰め込むことができるとともに、符号量に応じたフィールド間隔でサンプリングして符号化する場合のフィールド間隔があき過ぎるのを抑え、再生時の不自然さを抑えることができる符号化方法が得られる効果がある。

【0359】また、本発明の請求項6の符号化方法によれば、請求項5の符号化方法において、前記切り上げステップで切り上げを行ったことを検出する切り上げ検出ステップと、該切り上げ検出ステップにより切り上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう調整ステップとを含むようにしたので、符号量が少なく符号化可能なフィールド間隔になる場合に、その符号化を調整してフィールド単位の画質を向上することができる符号化方法が得られる効果がある。

【0360】また、本発明の請求項7の符号化装置によれば、符号化すべきデータに対し階層符号化を行ない、それぞれ階層を有する第1および第2の符号列を生成する階層符号化手段と、該階層符号化手段により生成した第1および第2の符号列を、前記階層に与えられた優先順位に基づいて、連続してアドレスが付された記憶手段のメモリ領域の一方および他方からそれぞれ格納する格納制御を行う記憶制御手段と、該記憶制御手段の格納制御を実行する過程で格納すべきメモリ領域に重複が生じた場合、該時点で高い優先順位を有する側の符号列の階



層を、他方の符号列に優先して格納する優先判定手段とを備えるようにしたので、容量が限られた記憶手段のなかに優先順位の低い階層の符号までを有効に詰め込むことができ、そのメモリ使用効率が向上する符号化装置が得られる効果がある。

【0361】また、本発明の請求項8の符号化装置によれば、請求項7の符号化装置において、前記記憶制御手段は前記記憶手段に対し先に前記第1の符号列を格納し、次に前記第2の符号列を格納するものであり、前記優先判定手段は前記第2の符号列の階層より前記優先順位10の低い前記第1の符号列の階層を判定するとともに、前記第2の符号列を格納するメモリ領域が不足する場合、当該判定した第1の符号列の階層を第2の符号列の階層により上書きするものとしたので、メモリ領域への記憶を進めてゆき、記憶できる限界に達した時に、より優先順位の高い階層の符号を有効に記憶することができ、メモリ使用効率がより向上する符号化装置が得られる効果がある。

【0362】また、本発明の請求項9の符号化装置によれば、符号化すべきデータに対し階層符号化を行ない、20それぞれ階層を有する2つ以上の符号列を生成する階層符号化手段と、前記生成した各々の符号列の最も優先順位の高い階層を記憶手段に格納するとともにそれ以外の階層を一時記憶手段に格納するよう制御する記憶制御手段と、前記記憶手段に空きメモリ領域が存在する場合、前記一時記憶手段よりそれぞれの符号列の階層をその優先順位に基づいて前記記憶手段に転送する転送判定手段とを備えるようにしたので、2つ以上の符号列を記憶手段に記憶する際に、容量が限られた記憶手段のなかに優先順位10の低い階層の符号までを有効に詰め込むことができ、そのメモリ使用効率が向上する符号化装置が得られる効果がある。

【0363】また、本発明の請求項10の符号化装置によれば、請求項7ないし9のいずれかの符号化装置において、前記記憶手段の連続するメモリ領域から予め定めた大きさのメモリ領域を割り当てる領域管理手段と、前記格納した複数の符号列の間に生じた空きメモリ領域を、当該いずれか一方の符号列を転送することで詰める転送手段と、前記割り当てたメモリ領域で格納に使用しなかつたメモリ領域を回収する領域回収手段とを備え、40前記記憶制御手段は、前記割り当てたメモリ領域に複数の前記符号列を格納するようにしたので、1つの記憶手段により多くの符号列を記憶することができ、メモリ使用効率がより向上する符号化方法が得られる効果がある。

【0364】また、本発明の請求項11の符号化装置によれば、映像信号のフィールドを指定する時間間隔でサンプリングするサンプリング手段と、該サンプリング手段によりサンプリングされた映像信号データに対し請求項9または10記載の符号化装置と同じ動作により階層50

符号化を行う階層符号化手段と、該階層符号化手段により使用したメモリ量を算出するメモリ量算出手段と、該メモリ量算出手段により算出したメモリ量が予め定める下限値以下の場合前記下限値に切り上げる切り上げ手段と、前記メモリ量算出手段により算出したメモリ量に比例したフィールド間隔を算出するフィールド間隔算出手段と、該フィールド間隔算出手段により算出したフィールド間隔を前記サンプリング手段に対し指定するフィールド間隔指定手段とを備えるようにしたので、容量が限られた記憶手段のなかに優先順位の低い階層の符号までを有効に詰め込むことができるとともに、符号量に応じたフィールド間隔でサンプリングして符号化する場合のフィールド間隔があき過ぎるのを抑え、再生時の不自然さを抑えることができる符号化装置が得られる効果がある。

【0365】また、本発明の請求項12の符号化装置によれば、請求項11の符号化装置において、前記切り上げ手段で切り上げを行ったことを検出する切り上げ検出手段と、該切り上げ検出手段により切り上げを検出した場合、符号量が増大するように前記階層符号化の調整を行なう符号化調整手段とを備えるようにしたので、符号量が少なく符号化可能なフィールド間隔になる場合に、その符号化を調整してフィールド単位の画質を向上することができる符号化装置が得られる効果がある。

【0366】また、本発明の請求項13のウェーブレット変換装置によれば、入力データを2画素毎順番にシフトし少なくとも2画素分のデータを蓄積するシフトレジスタ手段と、前記シフトレジスタ手段の低周波成分を取り出して出力するローパスフィルタ手段と、前記シフトレジスタ手段の高周波成分を取り出して出力するハイパスフィルタ手段と、前記ローパスフィルタ手段と前記ハイパスフィルタ手段の出力値である係数データを蓄積するためのデータ記憶手段と、ウェーブレット変換のためのシーケンス制御を行なう主制御手段とを備え、該主制御手段は、前記データ記憶手段内のデータを前記シフトレジスタ手段で1/2のサブサンプルを行ない、前記ローパスフィルタ手段と前記ハイパスフィルタ手段を用いて周波数分割した係数データを前記データ記憶手段に蓄積する処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行わしめることにより、前記入力データの周波数分割を行うようにしたので、少ないハードウェア量かつ簡単な制御でウェーブレット変換を高速に行える効果がある。

【0367】また、本発明の請求項14のウェーブレット変換装置によれば、請求項13のウェーブレット変換装置において、前記ローパスフィルタ手段の出力値である低域係数データと前記ハイパスフィルタ手段の出力値である高域係数データをそれぞれ格納するための、高速バースト転送が可能な係数ラインメモリと、該係数ラインメモリの出力データを、ライン単位で前記データ記憶

手段に転送するとともに前記データ記憶手段内のデータを前記シフトレジスタ手段に転送するダイレクトメモリアクセス手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、該ダイレクトメモリアクセス手段が、前記データ記憶手段内のデータを前記シフトレジスタ手段で1/2のサブサンプルを行ない、前記ローパスフィルタ手段と前記ハイパスフィルタ手段を用いて周波数分割した係数データを前記データ記憶手段に蓄積する処理を行うとともに、該処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データの周波数分割を行うようにしたので、装置内でのデータの転送を高速化でき、少ないハードウェア量かつ簡単な制御でウェーブレット変換をより高速に行える効果がある。

【0368】また、本発明の請求項15のウェーブレット変換装置によれば、請求項14のウェーブレット変換装置において、メモリアレイ上の水平方向と垂直方向のデータの高速バースト転送が可能な係数記憶手段と、前記係数ラインメモリのデータ転送先を前記データ記憶手段と前記係数記憶手段のなかから選択する切替え手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発するとともに、入力データを周波数分割した低域または高域係数データの一方を、前記係数ラインメモリに保持し、もう一方を前記ダイレクトメモリアクセス手段により前記係数記憶手段に直接バースト転送した後、前記係数ラインメモリに保持した係数データを前記係数記憶手段に転送する処理を行うとともに、該処理を、周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し行なうことにより、前記入力データの周波数分割するようにしたので、装置内での水平、垂直両方向のデータの転送を高速化でき、少ないハードウェア量かつ簡単な制御でウェーブレット変換のより一層の高速化を行える効果がある。

【0369】また、本発明の請求項16のウェーブレット変換装置によれば、請求項15のウェーブレット変換装置において、前記ローパスフィルタ手段と前記ハイパスフィルタ手段に入力するデータを、前記データ記憶手段と前記係数記憶手段から選択する選択手段を備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、前記係数記憶手段の水平または垂直方向の係数データを周波数分割し、得た係数データをそれぞれ前記係数ラインメモリに転送した後、前記ダイレクトメモリアクセス手段は、前記係数ラインメモリに格納してある係数データを順番に前記係数記憶手段にバースト転送するようにしたので、最初にデータ記憶手段のデータをウェーブレット変換し、それ以降はその変換結果を係数データ記憶手段に記憶してこれをさらにウェーブレット変換することにより、装置内での水平、垂直両方向のデータの転送を高速化でき、少ないハードウ

エア量かつ簡単な制御でウェーブレット変換のより一層の高速化を行える効果がある。

【0370】また、本発明の請求項17のウェーブレット変換装置によれば、請求項13ないし16のいずれかのウェーブレット変換装置において、前記ローパスフィルタ手段および前記ハイパスフィルタ手段は、SSKF (Symmetric Short Kernel Filter) により実現されているものとしたので、少ないハードウェア量かつ簡単な制御でウェーブレット変換の高速化を行えるものにおいて、少ないタップ段数でローパスフィルタ手段およびハイパスフィルタ手段を構成できる効果がある。

【0371】また、本発明の請求項18のウェーブレット変換装置によれば、請求項13ないし17のいずれかのウェーブレット変換装置において、前記ローパスフィルタ手段と前記ハイパスフィルタ手段の入力データに対し1ビットの上位拡張ビットを設ける符号拡張手段を備え、前記ローパスフィルタ手段と前記ハイパスフィルタ手段はその入力データに比べて精度を上位に1ビット拡張してフィルタ演算するようにしたので、少ないハードウェア量かつ簡単な制御でウェーブレット変換の高速化を行えるものにおいて、フィルタ演算を高精度で行うことができ、より忠実なウェーブレット変換結果を得ることができる効果がある。

【0372】また、本発明の請求項19のウェーブレット逆変換装置によれば、入力データを2画素毎順番にシフトし少なくとも2画素分のデータを蓄積するシフトレジスタ手段と、前記シフトレジスタ手段の出力データを復号化して奇数番目の復号係数データを出力する第1の復号フィルタ手段と、前記シフトレジスタ手段の出力データを復号化して偶数番目の復号係数データを出力する第2の復号フィルタ手段と、前記第1の復号フィルタ手段と前記第2の復号フィルタ手段の出力値である復号係数データを蓄積するためのデータ記憶手段と、ウェーブレット逆変換のためのシーケンス制御を行なう主制御手段とを備え、該主制御手段は、前記データ記憶手段内のデータを前記シフトレジスタ手段でバッファし、前記復号フィルタ手段を用いて復号化しアップサンプルした係数データを前記データ記憶手段に蓄積する処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行わしめることにより、前記入力データのウェーブレット逆変換を行うようにしたので、少ないハードウェア量かつ簡単な制御でウェーブレット逆変換を高速に行える効果がある。

【0373】また、本発明の請求項20のウェーブレット逆変換装置によれば、請求項19のウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段の出力である復号係数データを格納するための、高速バースト転送が可能な係数ラインメモリと、該係数ラインメモリの出力データを、ライン単位で前記データ記憶手段に転送するとともに前記データ記憶手段内のデー

タを前記シフトレジスタ手段に転送するダイレクトメモリアクセス手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、該ダイレクトメモリアクセス手段が、前記データ記憶手段内のデータを前記シフトレジスタ手段でバッファを行ない、前記復号フィルタ手段を用いて復号しアップサンプルした係数データを前記データ記憶手段に蓄積する処理を行うとともに、該処理を、周波数帯域毎に前記データ記憶手段内のアドレスと処理サイズを制御して繰り返し行なうことにより、前記入力データのウェーブレット逆変換を行うようにしたので、装置内でのデータの転送を高速化でき、少ないハードウェア量かつ簡単な制御でウェーブレット逆変換をより高速に行える効果がある。

【0374】また、本発明の請求項21のウェーブレット逆変換装置によれば、請求項20のウェーブレット逆変換装置において、メモリアレイ上の水平方向と垂直方向のデータの高速バースト転送が可能な係数記憶手段と、前記係数ラインメモリのデータ転送先を前記データ記憶手段と前記係数記憶手段のなかから選択する切替え手段とを備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発するとともに、入力データを復号した奇数番目または偶数番目の復号係数データの一方を、前記係数ラインメモリに保持し、もう一方を前記ダイレクトメモリアクセス手段により前記係数記憶手段に直接バースト転送した後、前記係数ラインメモリに保持した係数データを前記係数記憶手段に転送する処理を行うとともに、該処理を、周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し行なうことにより、前記入力データのウェーブレット逆変換を行うようにしたので、装置内での水平、垂直両方向のデータの転送を高速化でき、少ないハードウェア量かつ簡単な制御でウェーブレット逆変換のより一層の高速化を行える効果がある。

【0375】また、本発明の請求項22のウェーブレット逆変換装置によれば、請求項21のウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段に入力するデータを、前記データ記憶手段と前記係数記憶手段から選択する選択手段を備え、前記主制御手段は、前記ダイレクトメモリアクセス手段に対して制御命令を発し、前記係数記憶手段の水平または垂直方向の係数データを復号し、得た復号データをそれぞれ前記係数ラインメモリに転送した後、前記ダイレクトメモリアクセス手段は、前記係数ラインメモリに格納してある復号データを順番に前記係数記憶手段にバースト転送するようにしたので、最初にデータ記憶手段のデータをウェーブレット逆変換し、それ以降はその逆変換結果を係数データ記憶手段に記憶してこれをさらにウェーブレット逆変換することにより、装置内での水平、垂直両方向のデータの転送を高速化でき、少ないハードウェア量かつ簡単な制御でウェーブレット逆変換のより一層の高速化

を行える効果がある。

【0376】また、この発明の請求項23のウェーブレット逆変換装置によれば、請求項19ないし22のいずれかに記載のウェーブレット逆変換装置において、前記第1および第2の復号フィルタ手段の入力データは、前記係数記憶手段に記憶されたウェーブレット逆変換すべき入力データに対して上位に1ビット拡張したデータであるようにしたので、少ないハードウェア量かつ簡単な制御でウェーブレット変換の高速化を行えるものにおいて、フィルタ演算を高精度で行うことができ、より忠実なウェーブレット逆変換結果を得ることができる効果がある。

【0377】また、この発明の請求項24のウェーブレット変換装置によれば、請求項14のウェーブレット変換装置において、ウェーブレット変換されたデータを復号化する復号フィルタ手段と、該復号フィルタ手段によって復号された復号係数データを記憶する復号係数ラインメモリとを備え、前記データ記憶手段の低域または高域係数データの一方を前記復号係数ラインメモリに転送しておき、前記係数データのもう一方を前記復号フィルタへ転送すると同時に、前記復号係数ラインメモリに保持した係数データを前記復号フィルタに転送して復号し、復号データを前記係数ラインメモリに格納して、ライン単位の復号処理が終了後、前記係数ラインメモリに保持した復号データを、前記係数記憶手段または前記データ記憶手段に転送する処理を、前記主制御手段が周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し復号処理するようにしたので、少ないハードウェア量かつ簡単な制御で、ウェーブレット変換およびその逆変換を行えるものを1つの装置で実現できる効果がある。

【0378】さらに、本発明の請求項25のウェーブレット変換装置によれば、請求項15ないし18のいずれかのウェーブレット変換装置において、ウェーブレット変換されたデータを復号化する復号フィルタ手段と、復号係数ラインメモリとを備え、前記係数記憶手段の低域または高域係数データの一方を前記復号係数ラインメモリに転送しておき、前記係数データのもう一方を前記復号フィルタへ転送すると同時に、前記復号係数ラインメモリに保持した係数データを前記復号フィルタに転送して復号し、復号データを前記係数ラインメモリに格納して、ライン単位の復号処理が終了後、前記係数ラインメモリに保持した復号データを、前記データ記憶手段に転送する処理を、前記主制御手段が周波数帯域毎に前記係数記憶手段のアドレスと処理サイズを制御して、繰り返し復号処理するようにしたので、少ないハードウェア量かつ簡単な制御で、ウェーブレット変換およびその逆変換を行えるものを1つの装置で実現できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1による符号化方法におけ

る、画像データの符号化処理の流れを示す図である。

【図2】本発明の実施の形態1の優先順位判定手段の適用箇所を示す図である。

【図3】本発明の実施の形態1における優先順位判定手段、符号化手段の構成例を示す図である。

【図4】本発明の実施の形態1を装置として実現した構成を示すブロック図である。

【図5】本発明の実施の形態1による符号化方法を示すフローチャート図である。

【図6】本発明の実施の形態1による符号記憶手段のデータの詰め方を示す図である。

【図7】図4のブロック図をまとめた構成を示すブロック図である。

【図8】本発明の実施の形態2による符号化方法を示すフローチャート図である。

【図9】本発明の実施の形態2による符号記憶手段のデータの詰め方の例を示す図である。

【図10】本発明の実施の形態2による符号記憶手段のデータの詰め方の他の例を示す図である。

【図11】本発明の実施の形態2による符号記憶手段のデータの詰め方のさらに他の例を示す図である。

【図12】本発明の実施の形態3による符号記憶手段のデータの詰め方の例を示す図である。

【図13】本発明の実施の形態3の動作を示すフローチャート図である。

【図14】本発明の実施の形態4を装置として実現した構成を示すブロック図である。

【図15】本発明の実施の形態4の符号記憶手段および一時記憶手段に対する符号の詰め方の例を示す図である。

【図16】本発明の実施の形態4の動作を示すフローチャート図である。

【図17】本発明の実施の形態5を装置として実現した構成を示すブロック図である。

【図18】本発明の実施の形態6を装置として実現した構成を示すブロック図である。

【図19】本発明の実施の形態5の方法によって符号化された映像信号を再生する方法を示す図である。

【図20】本発明の実施の形態8によるウェーブレット変換装置を示すブロック図である。

【図21】図20の装置により入力画像を周波数分割する過程を示す図である。

【図22】図20の装置のLPF、HPFの構成を示す図である。

【図23】本発明の実施の形態8によるウェーブレット変換装置の動作を示すフローチャート図である。

【図24】本発明の実施の形態9によるウェーブレット変換装置を示すブロック図である。

【図25】図24におけるローパスフィルタ部およびハイパスフィルタ部の構成を示す図である。

【図26】本発明の実施の形態9によるウェーブレット変換装置の動作を示すフローチャート図である。

【図27】本発明の実施の形態10によるウェーブレット変換装置を示すブロック図である。

【図28】本発明の実施の形態10によるウェーブレット変換装置を示すフローチャート図である。

【図29】本発明の実施の形態11によるウェーブレット逆変換装置を示すブロック図である。

【図30】ウェーブレット変換された画像を復号してゆく過程を示す図である。

【図31】図29の復号フィルタの構成を示す図である。

【図32】本発明の実施の形態11によるウェーブレット逆変換装置の動作を示すフローチャート図である。

【図33】本発明の実施の形態12によるウェーブレット逆変換装置を示すブロック図である。

【図34】本発明の実施の形態12によるウェーブレット逆変換装置の動作を示すフローチャート図である。

【図35】本発明の実施の形態13によるウェーブレット逆変換装置を示すブロック図である。

【図36】本発明の実施の形態13によるウェーブレット逆変換装置の動作を示すフローチャート図である。

【図37】本発明の実施の形態14によるウェーブレット逆変換装置を示すブロック図である。

【図38】本発明の実施の形態14によるウェーブレット逆変換装置の動作を示すフローチャート図である。

【図39】本発明の実施の形態15によるウェーブレット変換装置を示すブロック図である。

【図40】図39の復号フィルタ部の構成を示す図である。

【図41】データのビット幅を拡張する例を示す図である。

【図42】上位拡張ビットと下位拡張ビットの割り当てを示す図である。

【図43】ビット幅を拡張したデータを元のビット幅に戻す処理の仕方を示す図である。

【図44】本発明の実施の形態16におけるウェーブレット変換装置およびウェーブレット逆変換装置を示すブロック図である。

【図45】本発明の実施の形態17におけるウェーブレット変換装置を示すブロック図である。

【図46】従来のサブバンド符号化方式を示す図である。

【図47】ウェーブレット変換における周波数分割を行うためのブロック図である。

【図48】ウェーブレット変換後の画像信号の周波数分割例を示す図である。

【図49】本発明の実施の形態4の動作を示すフローチャート図である。

【図50】本発明の実施の形態14によるウェーブレッ

ト逆変換装置の動作を示すフローチャート図である。

【図51】本発明の実施の形態16におけるウェーブレット変換装置およびウェーブレット逆変換装置を示すブロック図である。

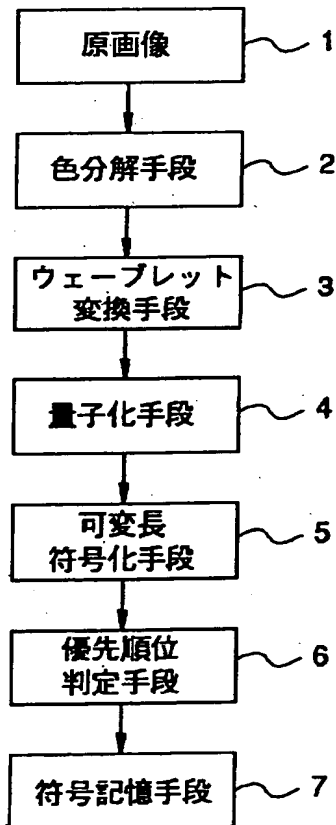
【符号の説明】

- 1 符号化する原画像データ
- 2 色空間の変換を行なう色分解手段
- 3 ウェーブレット変換手段
- 4 量子化手段
- 5 可変長符号化手段
- 6、407、417 優先順位判定手段
- 7、408、418 符号記憶手段
- 72 ローパスフィルタ部
- 73 ハイパスフィルタ部
- 74、84 係数FIFO1
- 75、85 係数FIFO2
- 78、88 切換部
- 79、913a、913b 選択部
- 201、205、207 ウェーブレット変換で用いるハイパスフィルタ
- 202、206、208 ウェーブレット変換で用いる\*

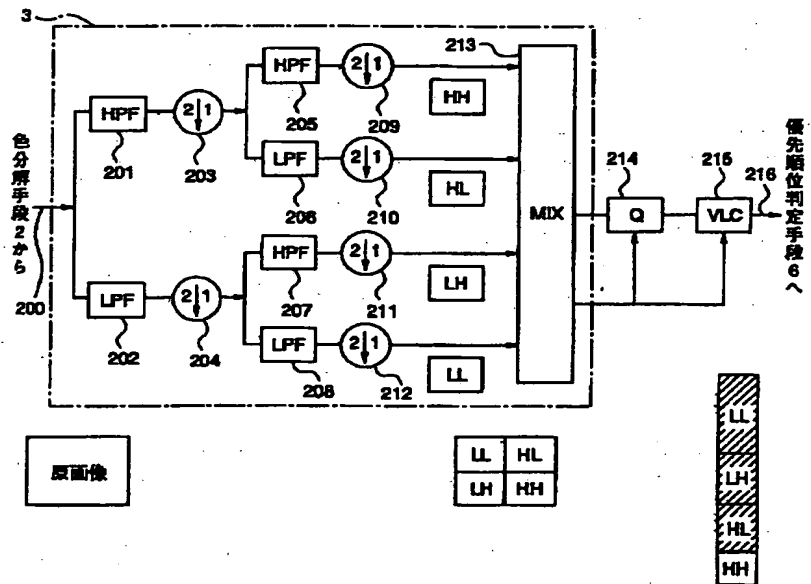
\* ローパスフィルタ

- 601 CPU
- 601a CPUバス用DMAC
- 602 データ記憶部
- 603 CPUバス
- 607、807 係数記憶部
- 609 ローカルバス
- 609a、807a ローカルバス用DMAC
- 701 シフトレジスタ
- 10 702 ローパスフィルタ
- 703 ハイパスフィルタ
- 704 レジスタ
- 705 レジスタ
- 710 復号L係数FIFO
- 801 復号フィルタ1
- 802 復号フィルタ2
- 804 レジスタ
- 805 レジスタ
- 914 オフセット部
- 20 915 逆オフセット部

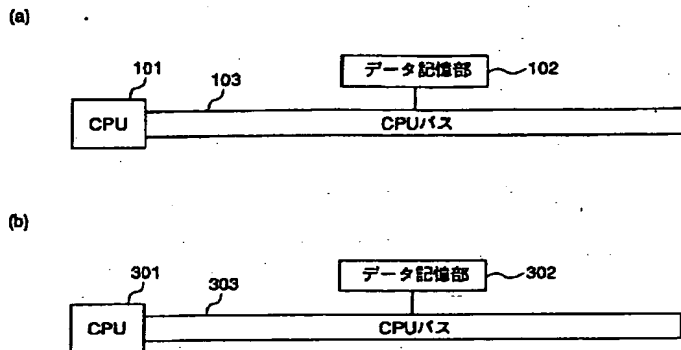
【図1】



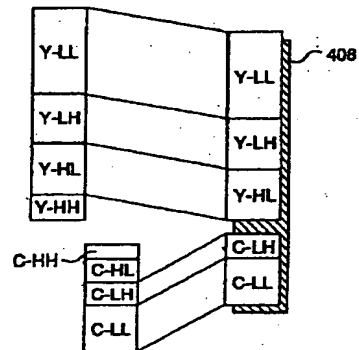
【図2】



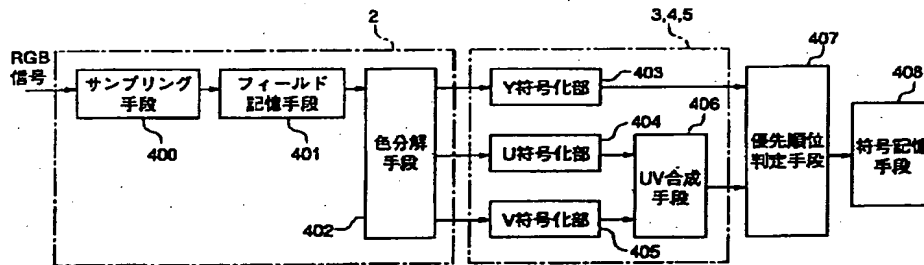
【図3】



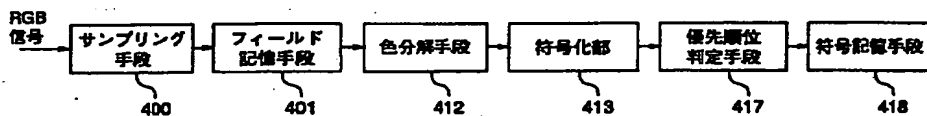
【図6】



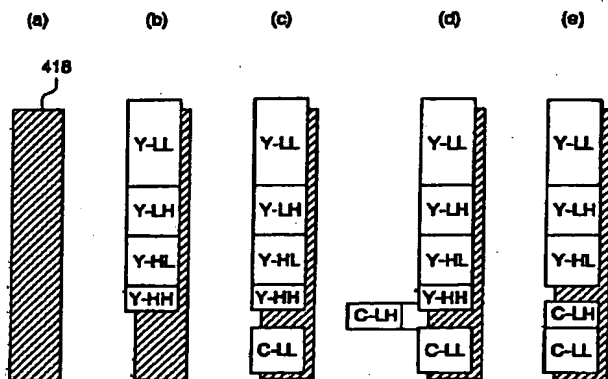
【図4】



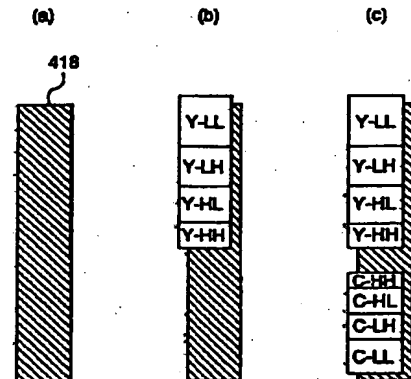
【図7】



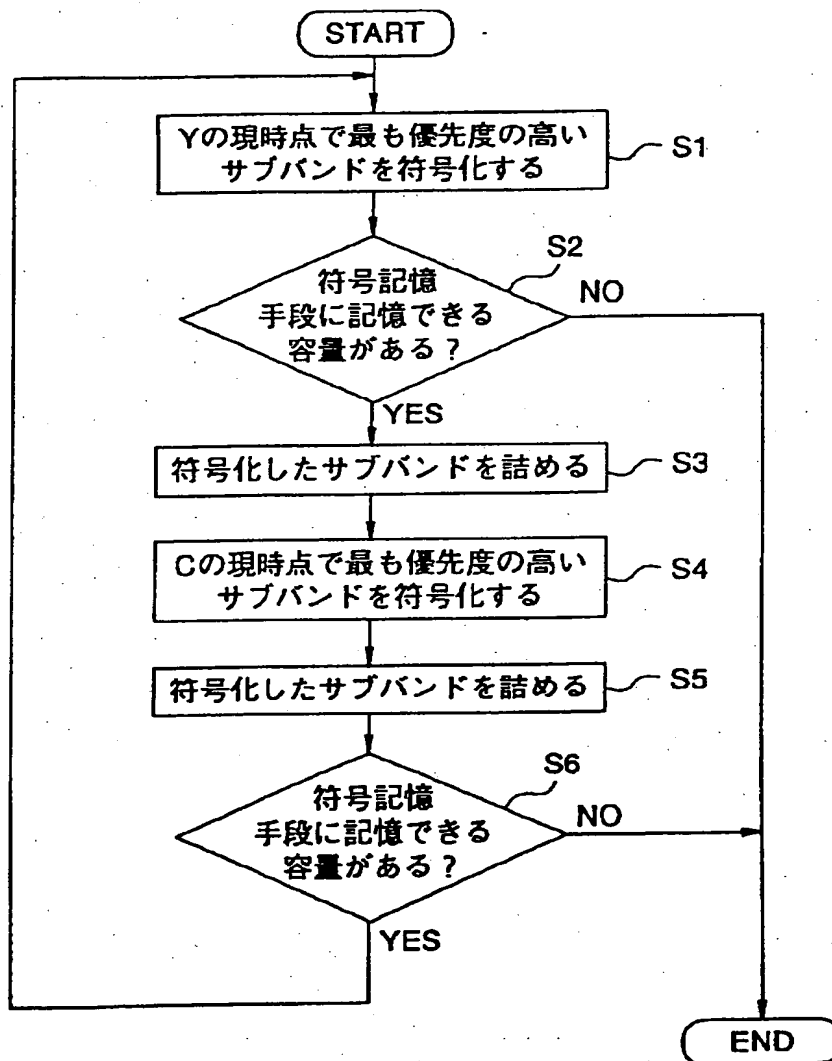
【図9】



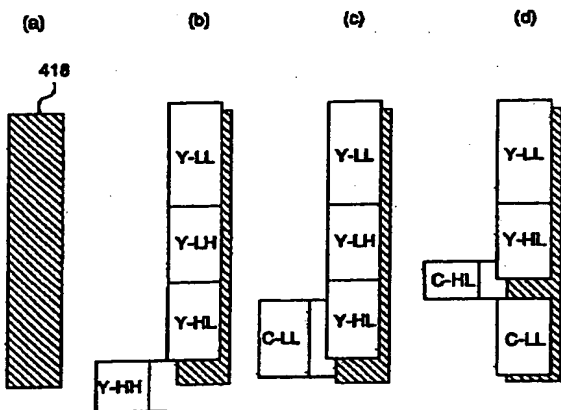
【図11】



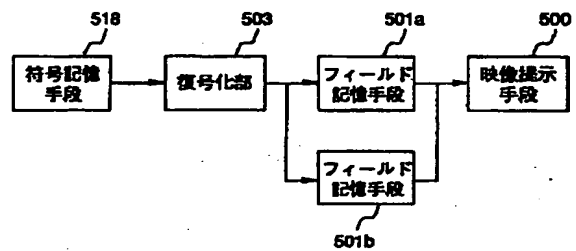
【図5】



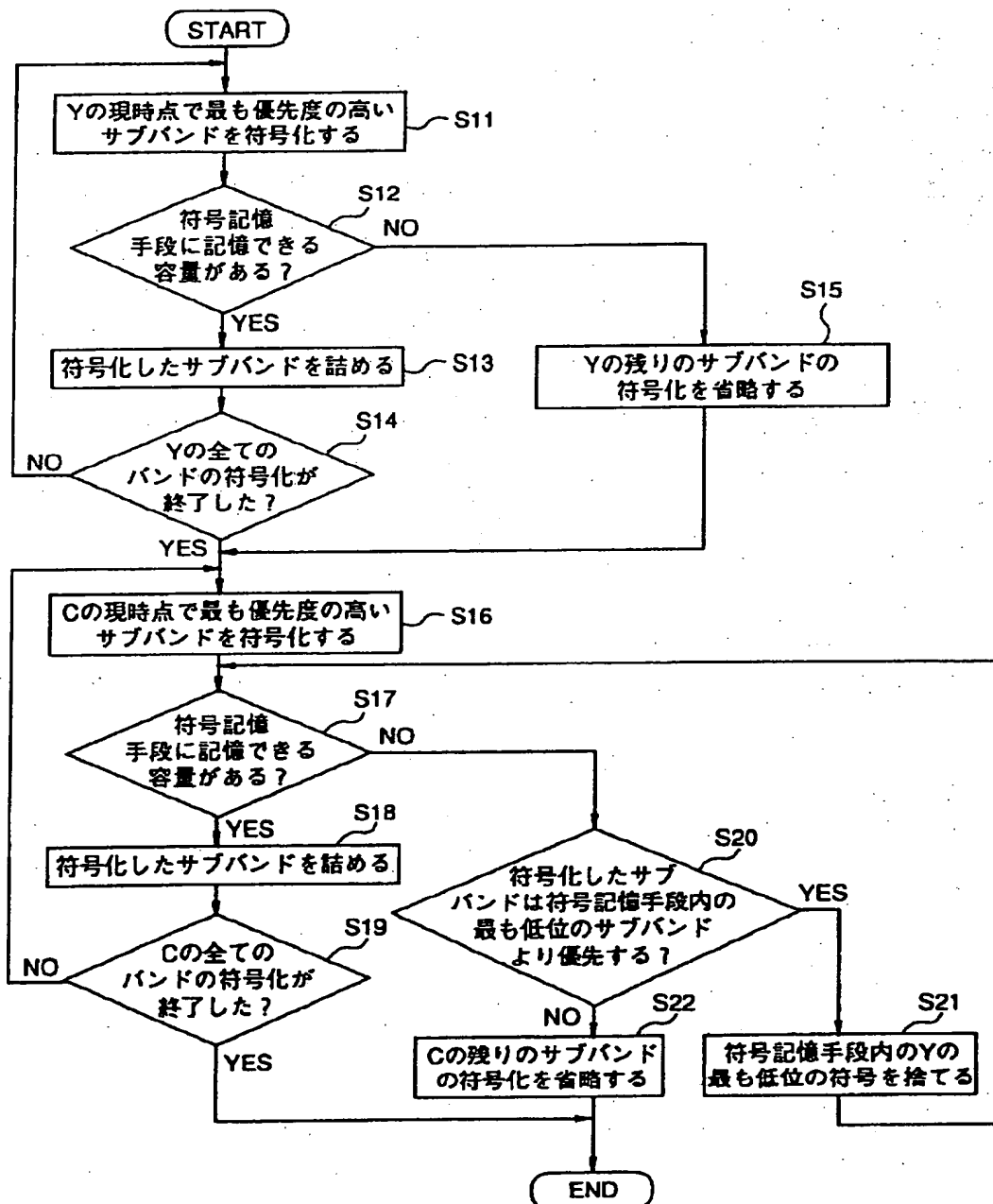
【図10】



【図18】

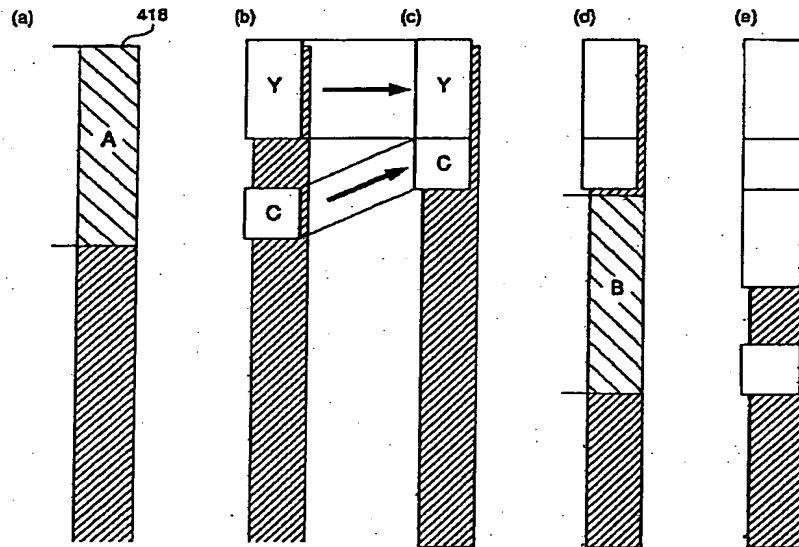


【図8】

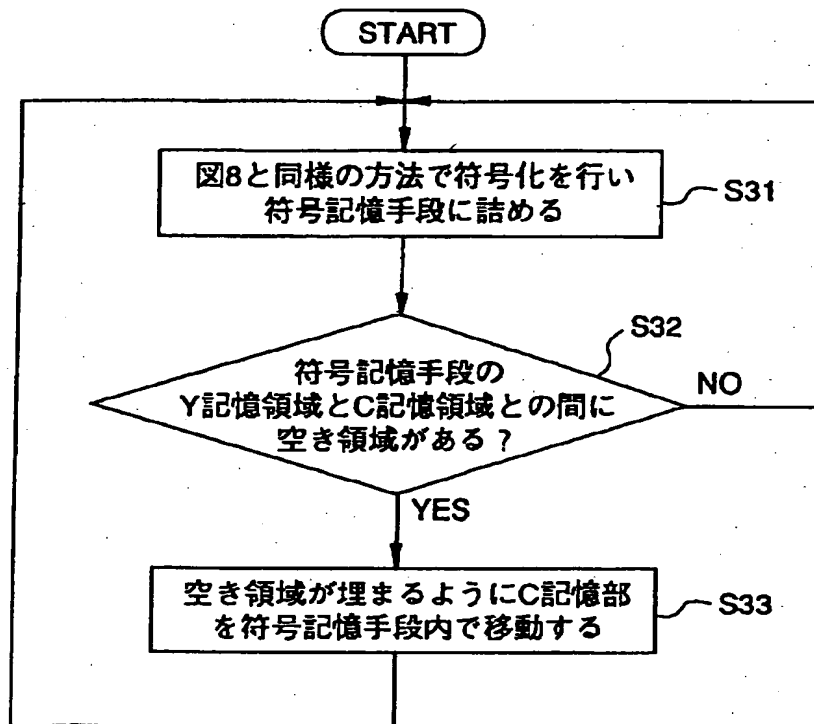




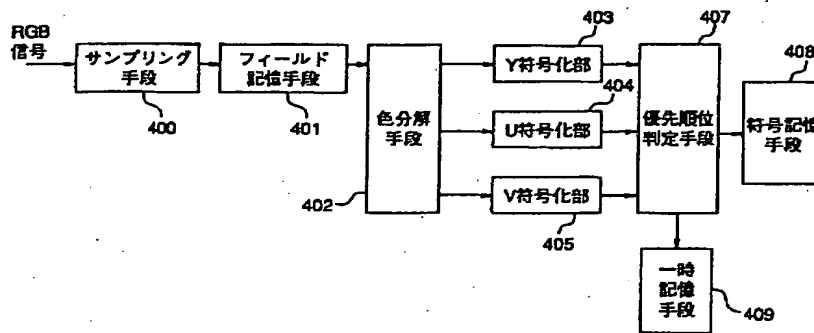
【図12】



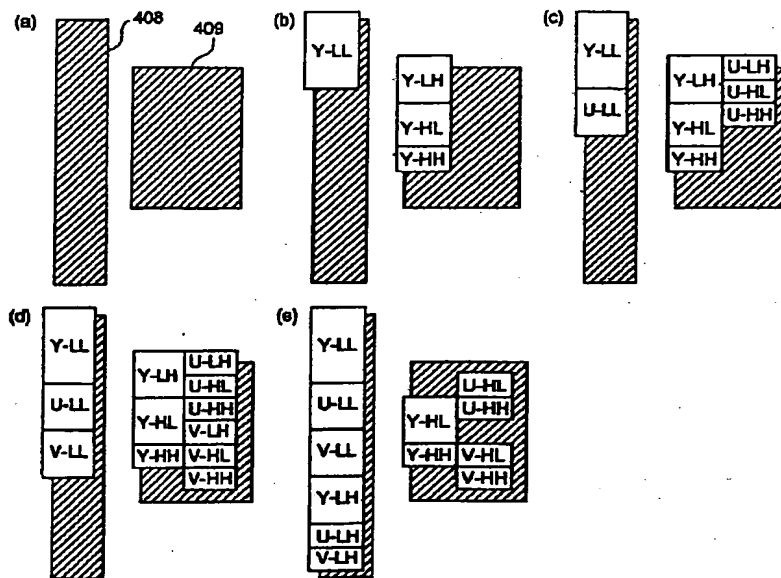
【図13】



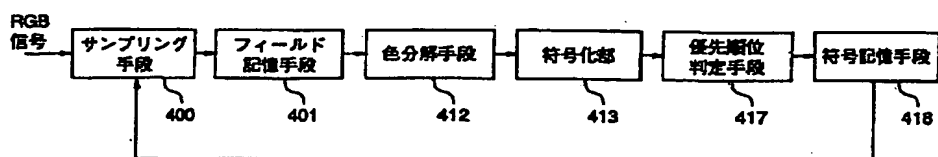
【図14】



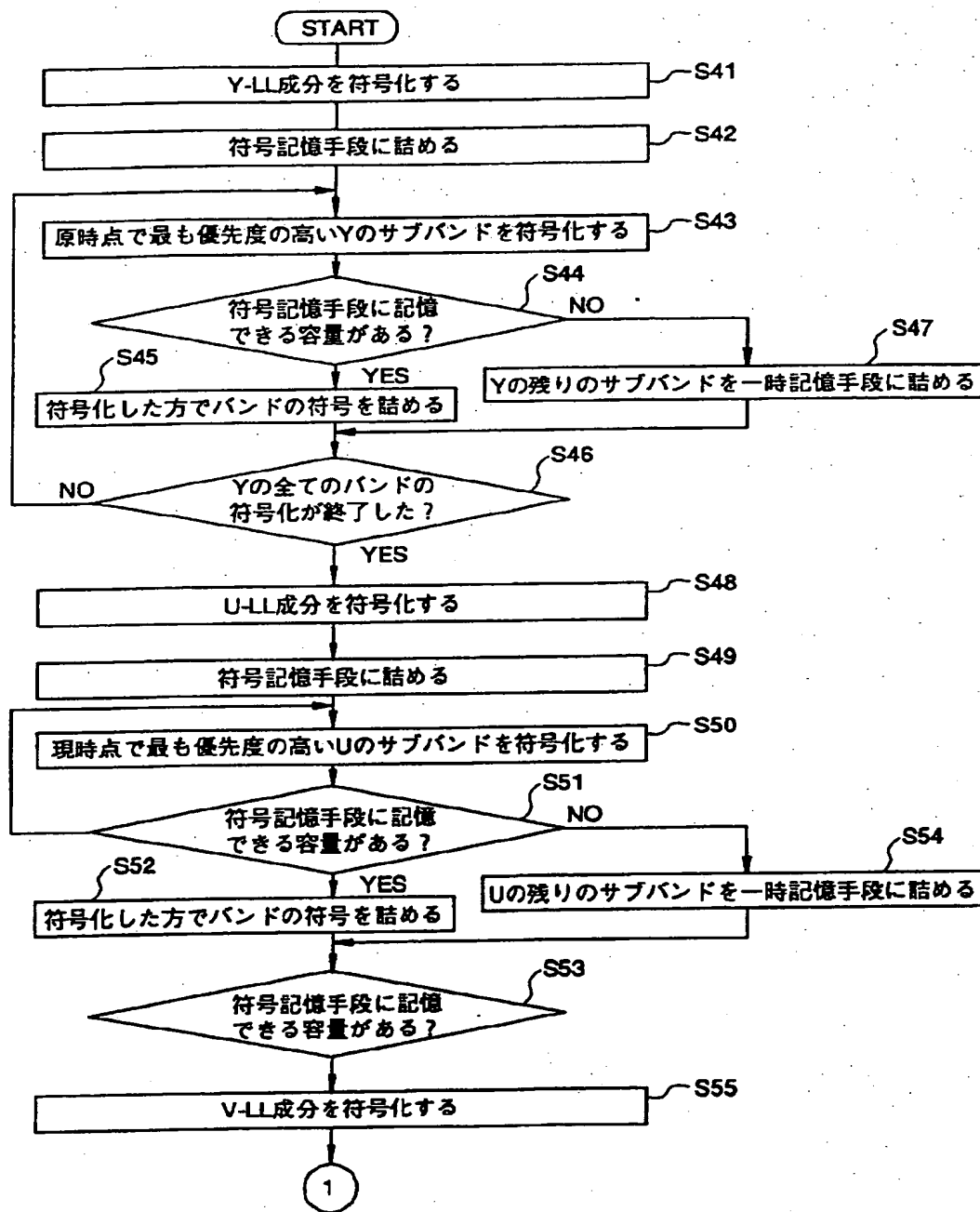
【図15】



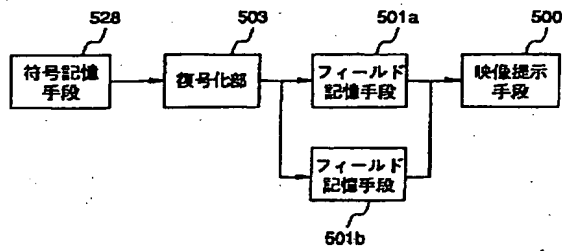
【図17】



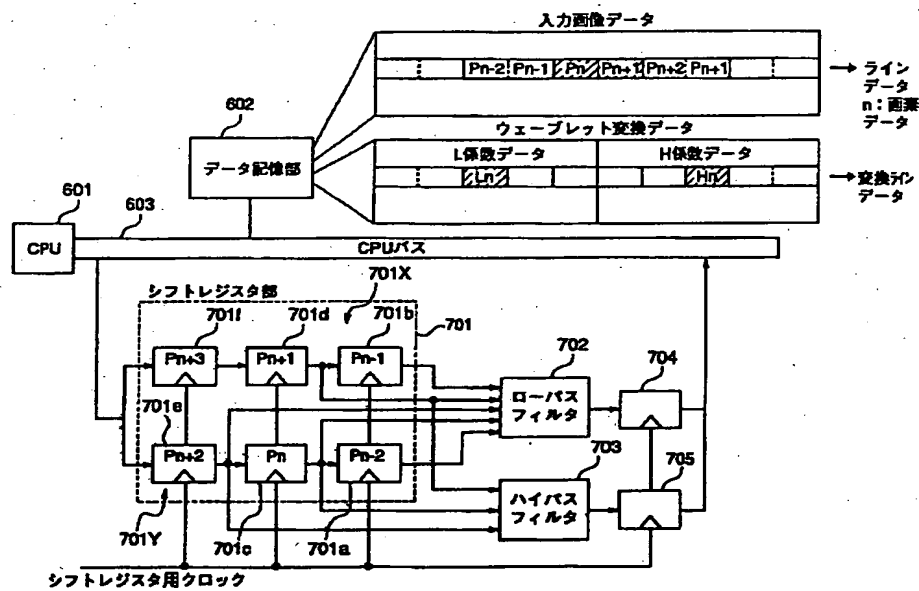
【図16】



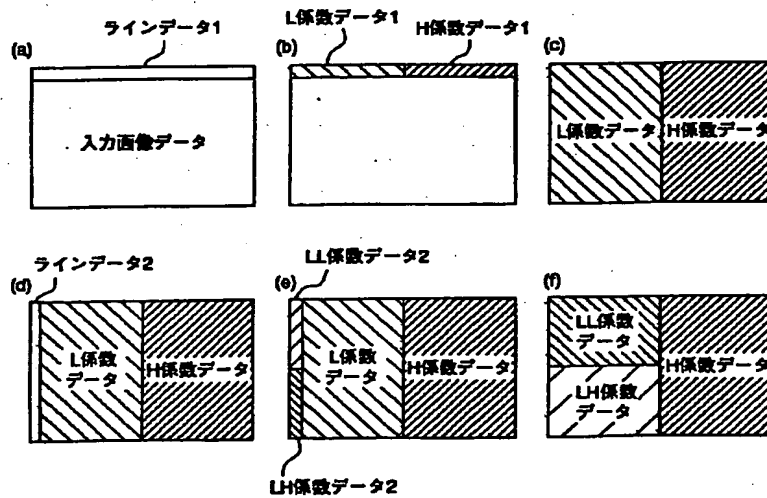
【図19】



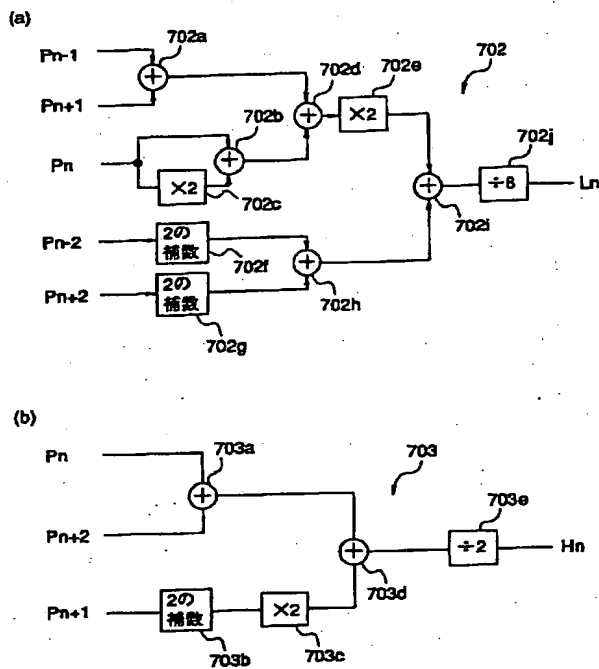
【図20】



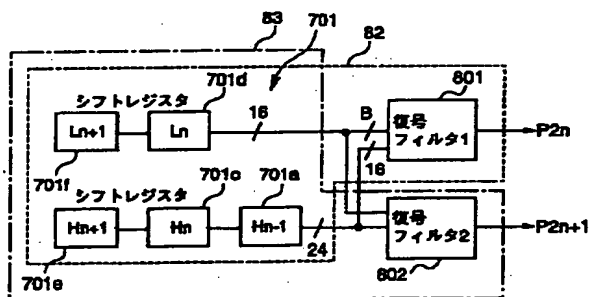
【図21】



【図22】

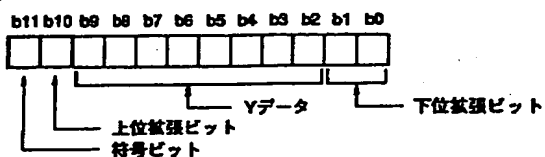


【図40】

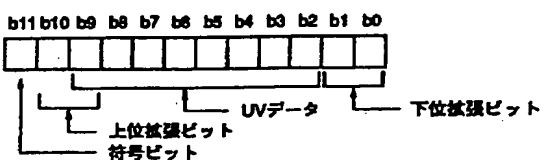


【図41】

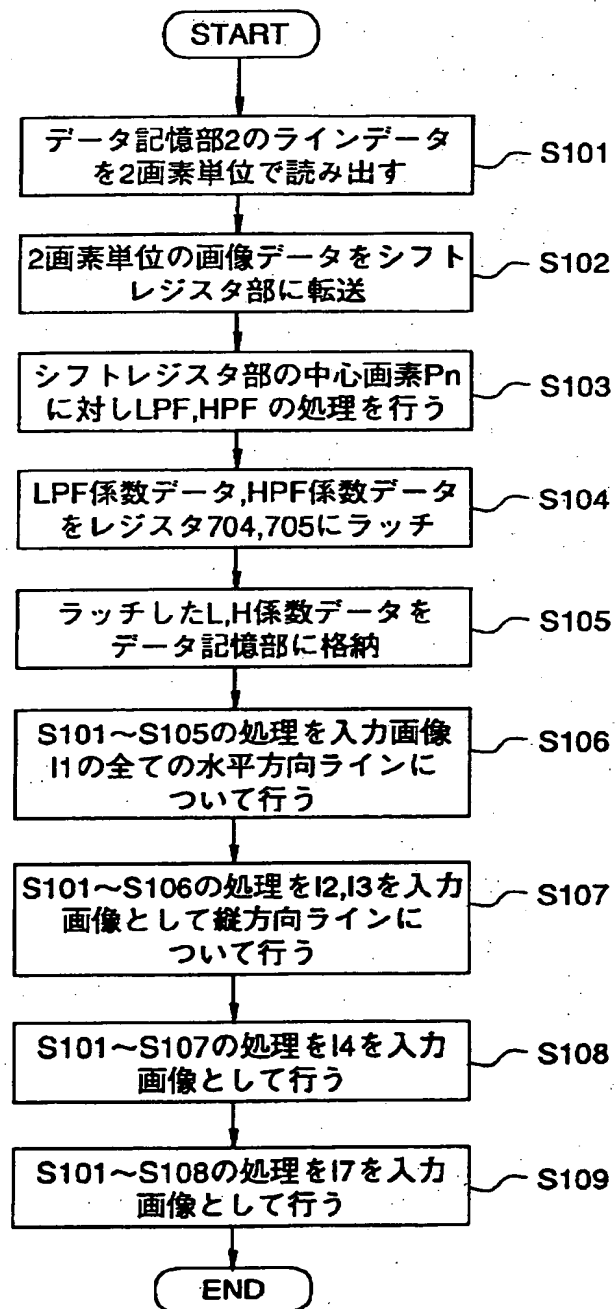
(a) Y係数オフセット処理



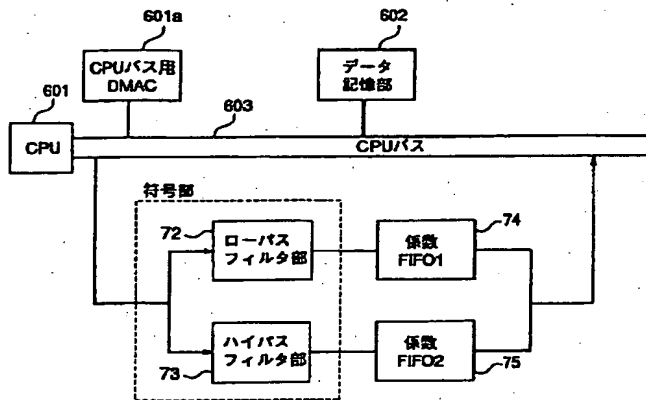
(b) UV係数オフセット処理



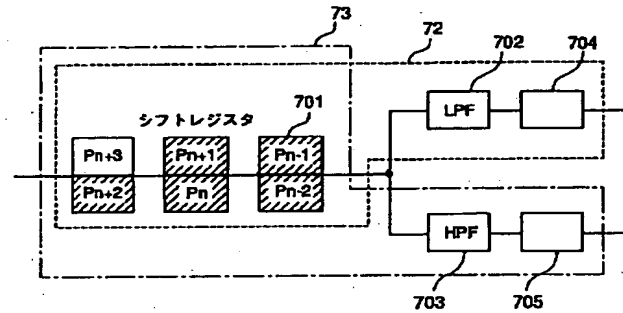
【図23】



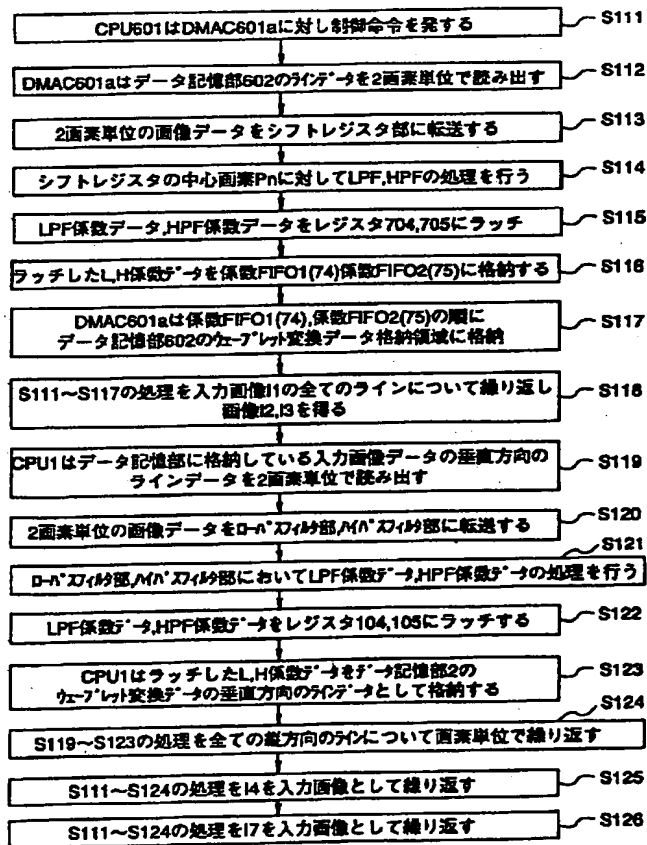
【図24】



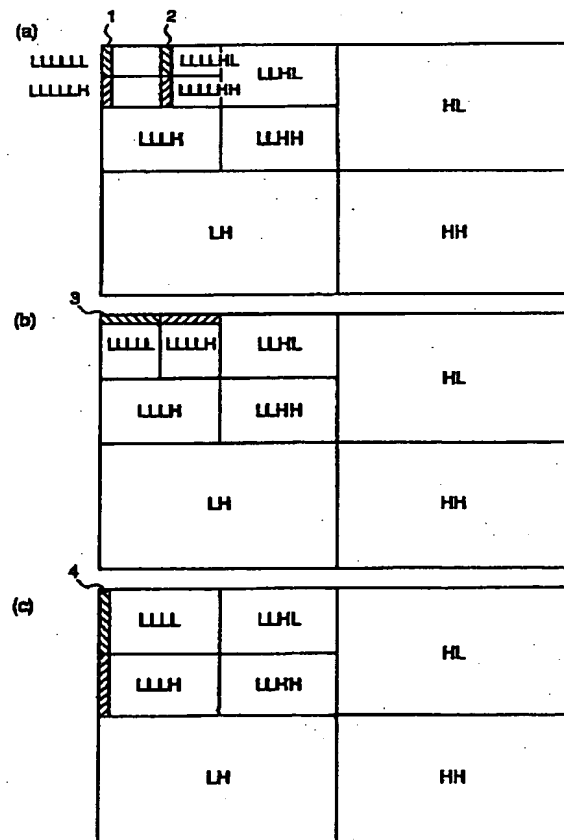
【図25】



【図26】

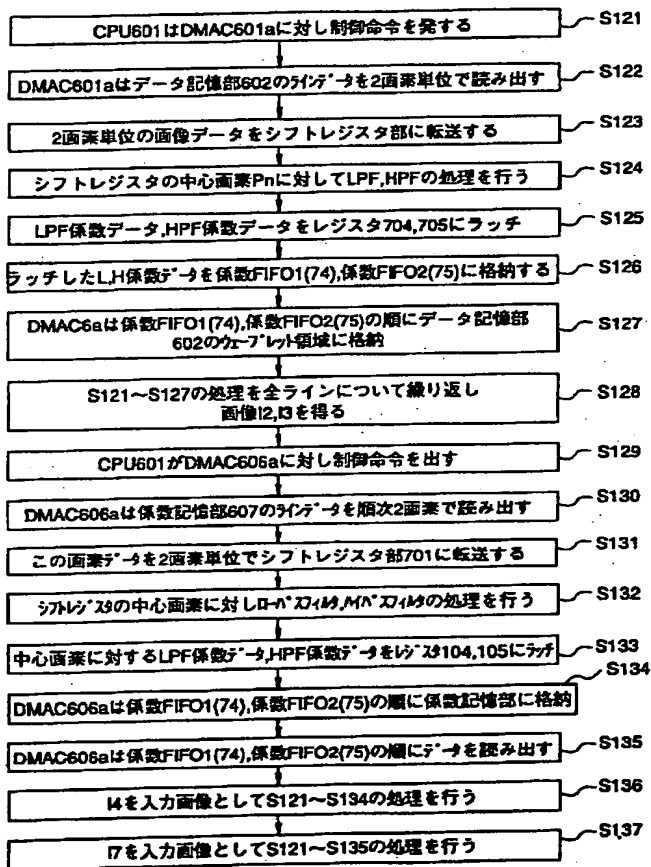


【図30】

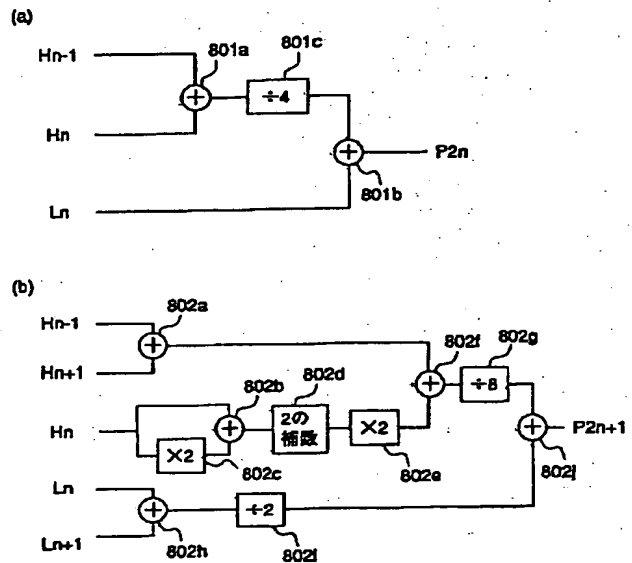




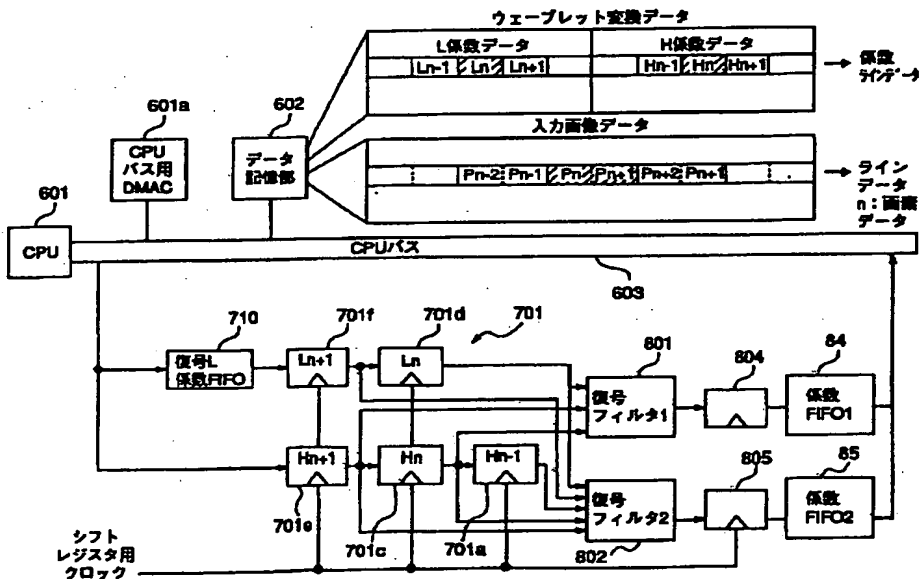
【図28】



【図31】

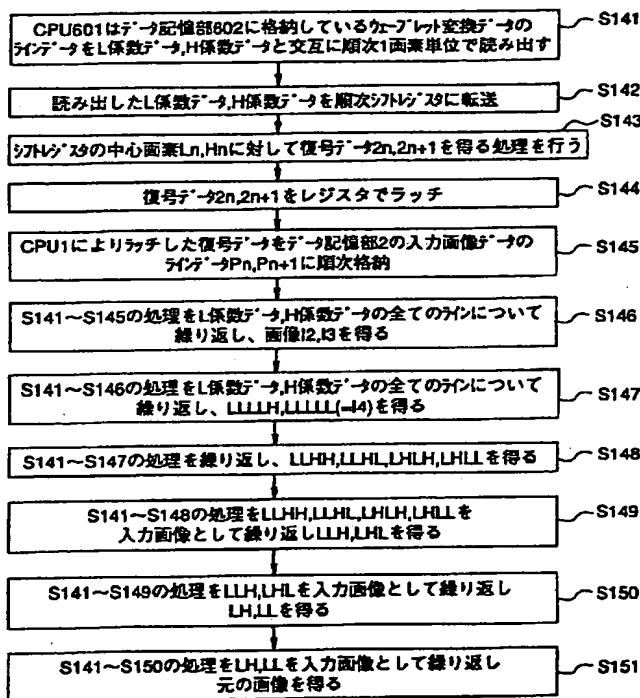


【図33】





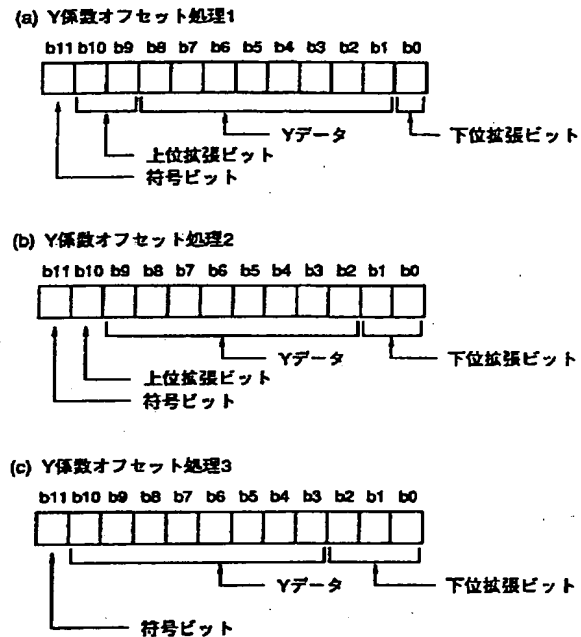
【図32】



【図34】



【図42】



【図43】

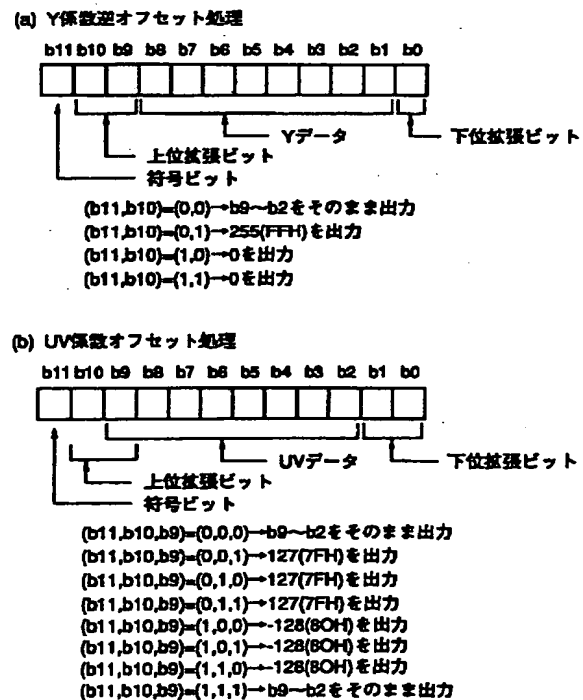
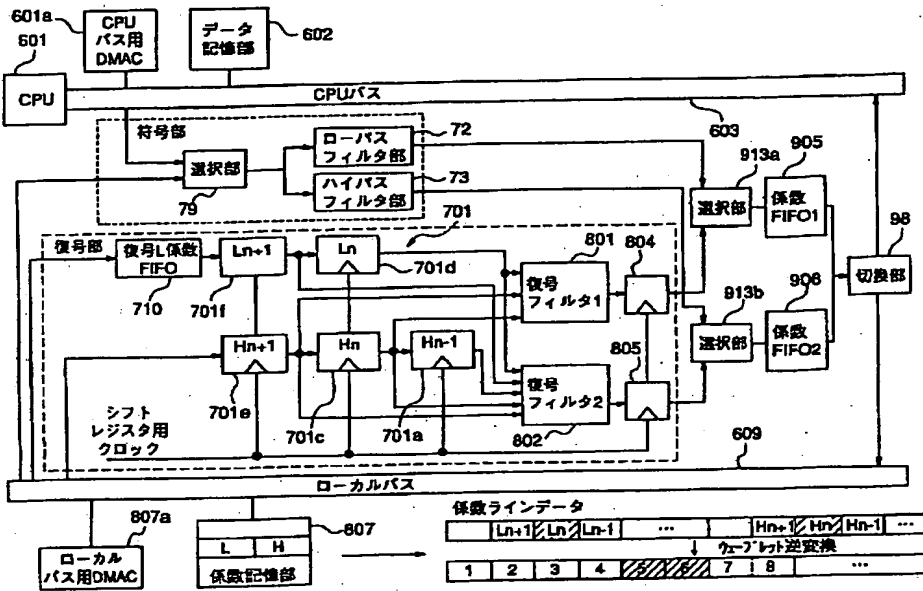


Figure 1 is a block diagram of a signal processing system. The system includes a CPU (601a) connected to a CPU bus (603). A CPU bus user DMAC (601) and a data storage unit (602) are also connected to the CPU bus. The CPU bus is connected to a local bus (609). A signal processing unit (701) is connected to the local bus. The signal processing unit includes a shift register clock (701e), a FIFO (710), and a series of registers (Ln+1, Ln, Hn+1, Hn, Hn-1). The output of the signal processing unit is connected to a FIFO (905) and a FIFO (906), which are then connected to a switch unit (908). The switch unit is connected to a local bus user DMAC (807a) and a local bus (807). The local bus is connected to a local bus user DMAC (807a) and a local bus (807). The local bus is connected to a local bus user DMAC (807a) and a local bus (807). The local bus is connected to a local bus user DMAC (807a) and a local bus (807).

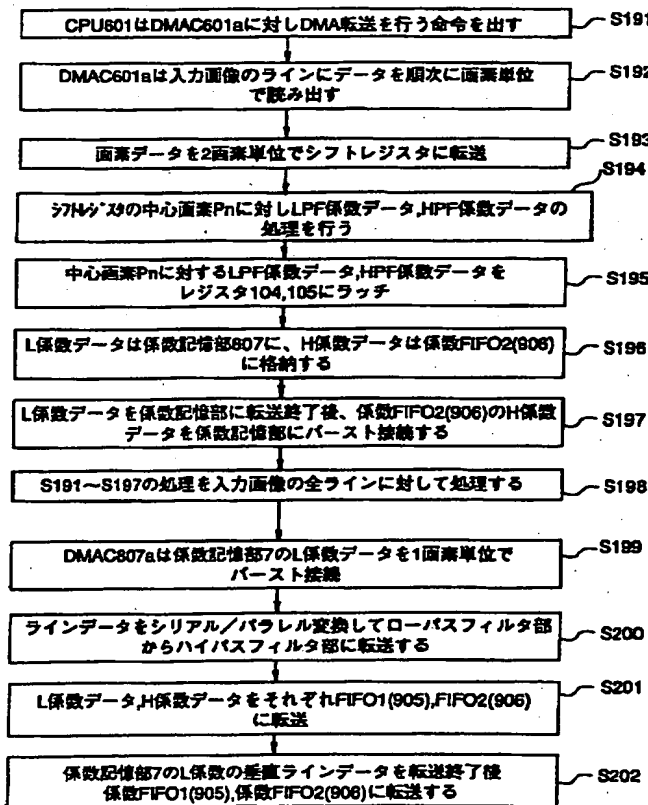
```

graph TD
    S181[CPU1はDMAC807aに対しDMA転送を行う制御命令を出す] --> S182[DMAC807aは垂直ラインを復号FIFO710に1画面ずつデータを転送する]
    S182 --> S183[復号L係数FIFO710にLLLLL係数データを転送後、復号フィルタ部の77H77Sの中心画面Ln,Hnに対して復号データ2n,2n+1の処理を行う]
    S183 --> S184[77H77Sの中心画面Ln,Hnに対して復号データ2n,2n+1の処理を行う]
    S184 --> S185[中心画面Ln,Hnに対する復号データを係数FIFO1(905)、係数FIFO2(906)にそれぞれ転送]
    S185 --> S186[転送終了後、係数FIFO1(905)、係数FIFO2(906)の奇数、偶数データを逐次FIFOを切り換え係数記憶部に記憶]
    S186 --> S187[S181～S186の処理をしLLLLLLLLLLH係数データの垂直方向ラインに対して処理]
    S187 --> S188[係数FIFO1(905)、係数FIFO2(906)の復号データをDMAC801aによってデータ記憶部602にデータ転送]
  
```

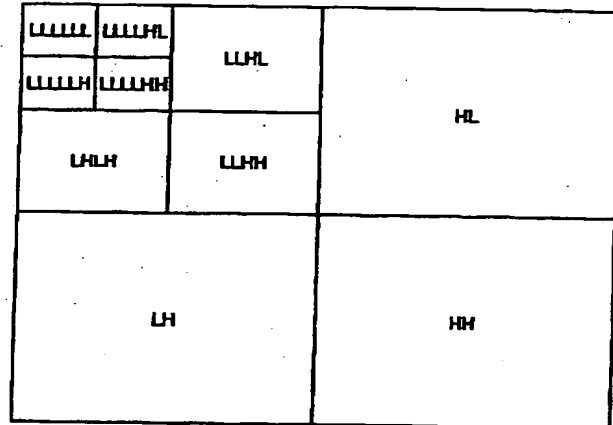
【図37】



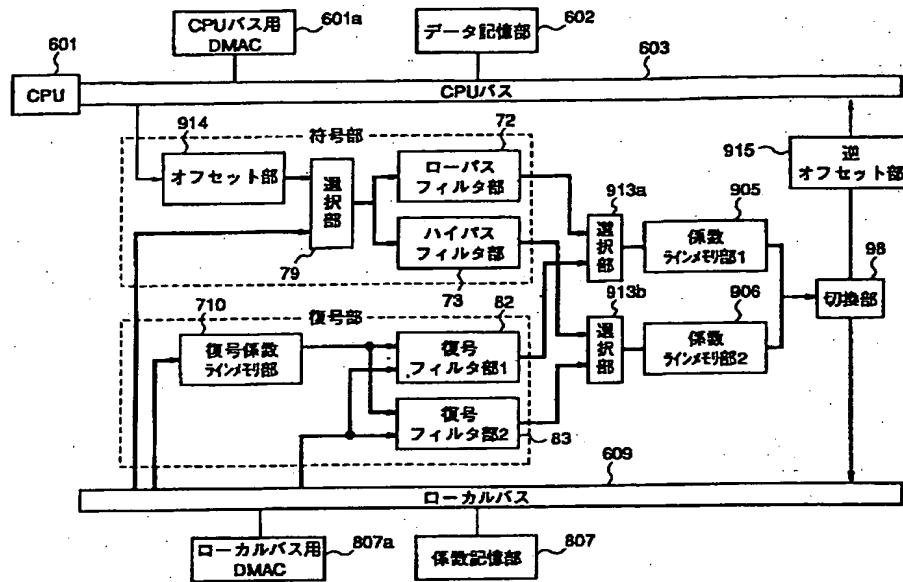
【図38】



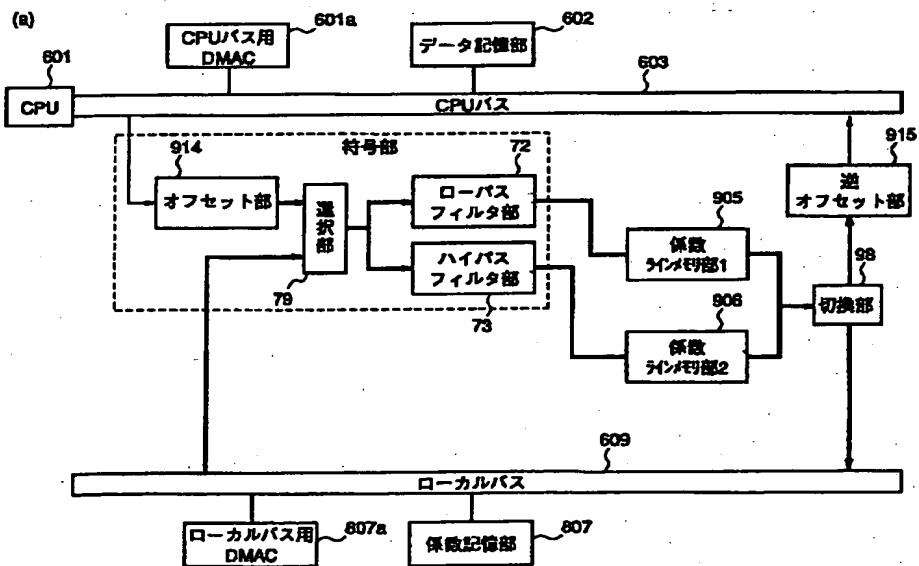
【図48】



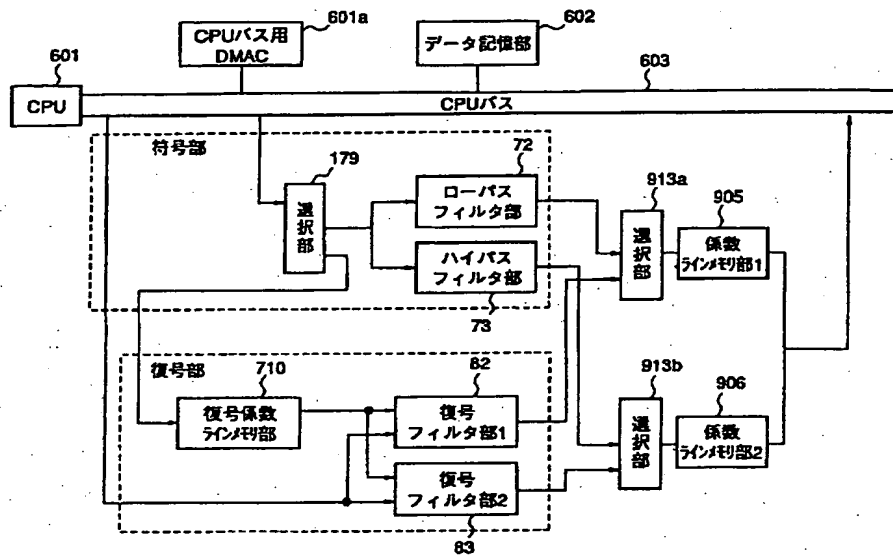
【図39】



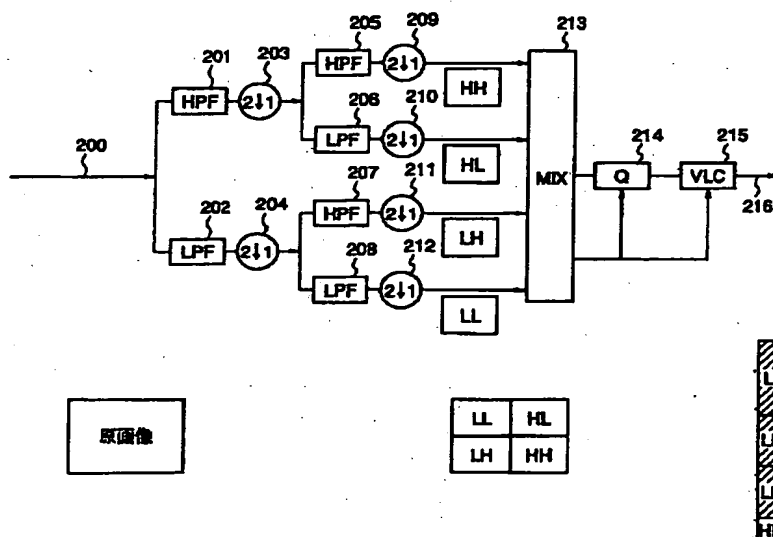
【図44】



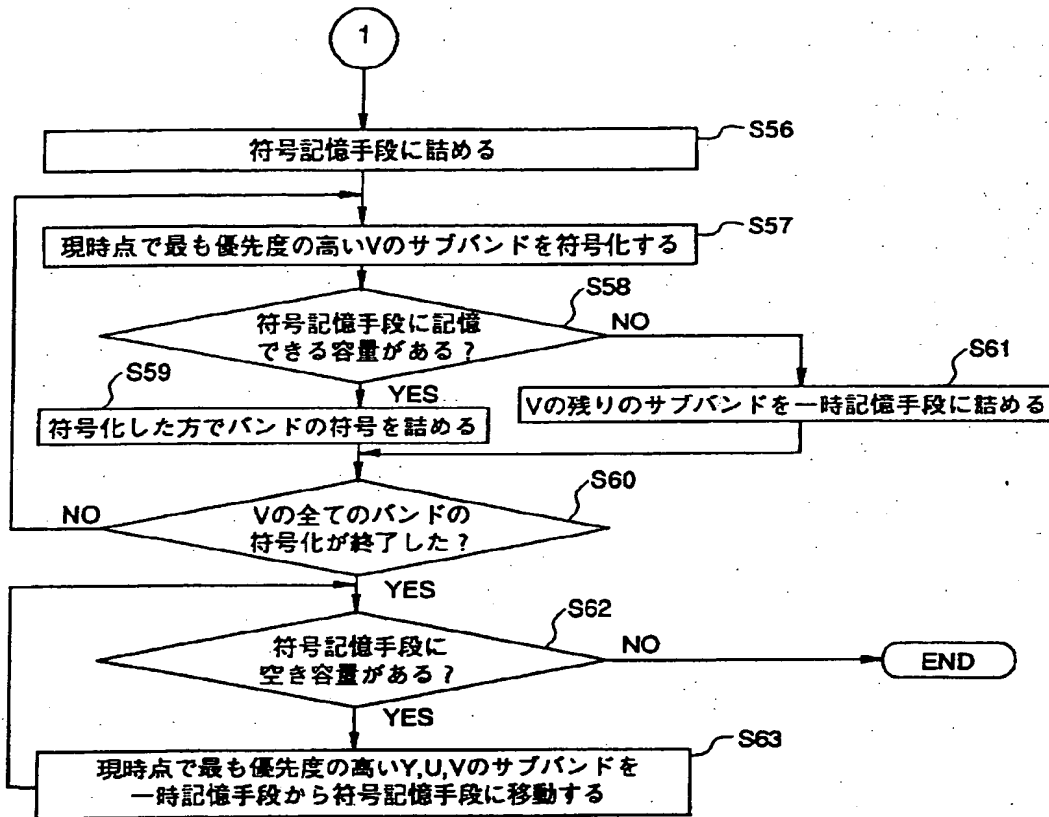
【図45】



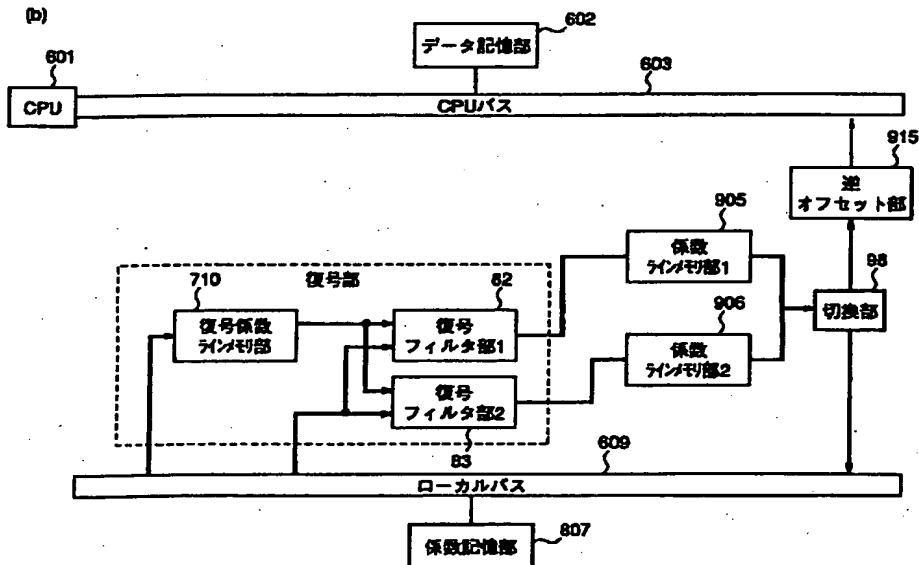
【図46】



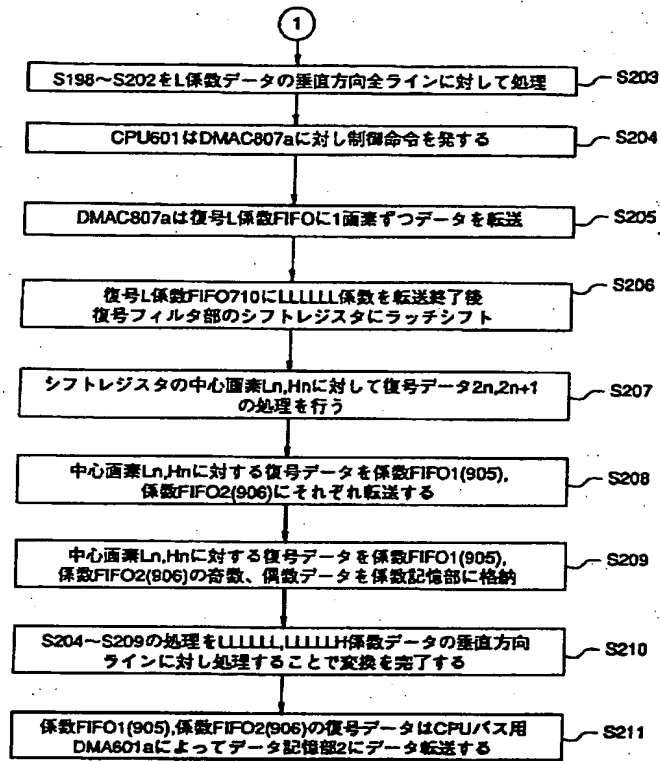
【図49】



【図51】



【図50】



フロントページの続き

(72)発明者 後藤 昌一  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内